

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開2001-274323

(P2001-274323A)

(43)公開日 平成13年10月5日(2001.10.5)

(51)Int.Cl.⁷

識別記号

F I

データベース*(参考)

H 0 1 L 25/10
25/18
25/11

H 0 1 L 25/10
25/14

Z
Z

審査請求 未請求 請求項の数55 O L (全 29 頁)

(21)出願番号 特願2000-84858(P2000-84858)

(22)出願日 平成12年3月24日(2000.3.24)

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(71)出願人 000233527

日立東部セミコンダクタ株式会社

群馬県高崎市西横手町1番地1

(72)発明者 常田 健祐

東京都小平市上水本町五丁目20番1号 株

式会社日立製作所半導体グループ内

(74)代理人 100080001

弁理士 筒井 大和

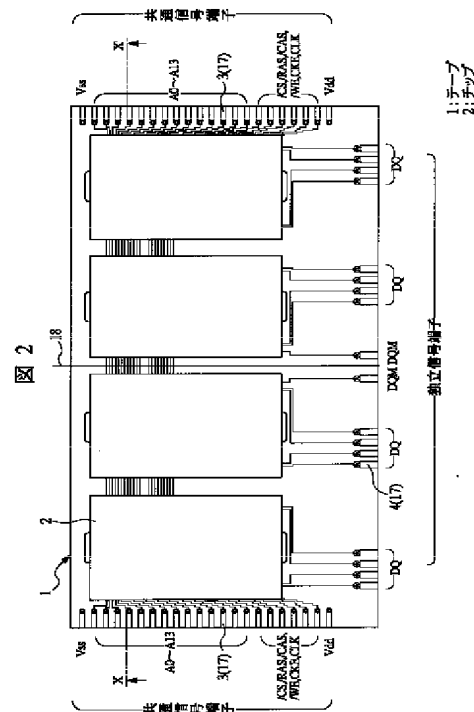
最終頁に続く

(54)【発明の名称】 半導体装置とそれを搭載した半導体モジュール、および半導体装置の製造方法

(57)【要約】

【課題】 TCPの組立プロセスを用い、テープコスト、バーンインおよび試験コストを低減し、さらに基板コスト、モジュール実装コストを低減することができる半導体装置と、それを搭載した半導体モジュールを提供する。

【解決手段】 4チップ(1バンク16ビットタイプ)搭載型のメモリTCPであって、1つの2層配線層構造のテープ1と、このテープ1に搭載される4個のチップ2などから構成され、1組の対向する2辺に共通信号端子3が配置され、他方の1辺に独立信号端子4が配置され、2辺の共通信号端子3は共通信号配線によって互いに電氣的に接続されている。さらに、このメモリTCPが基板の表面および裏面に搭載されたDIMMは、長方形の基板の長辺の一方の辺に複数の外部端子が形成され、この外部端子が並ぶ方向に沿ってメモリTCPの独立信号端子4が並ぶように搭載されている。



1

【特許請求の範囲】

【請求項 1】 1つのテープに複数のチップを搭載するテープキャリア型半導体装置であって、1組の対向する2辺に共通信号端子を配置し、他方の1辺に独立信号端子を配置し、前記2辺の共通信号端子は共通信号配線によって互いに電氣的に接続されていることを特徴とする半導体装置。

【請求項 2】 請求項 1 記載の半導体装置において、前記チップのパッドは、前記共通信号配線に接続されるパッドが前記独立信号端子から遠いところに配置され、独立信号配線に接続されるパッドが前記独立信号端子の近くに配置されていることを特徴とする半導体装置。

【請求項 3】 請求項 1 記載の半導体装置において、前記テープに形成された前記共通信号配線と独立信号配線は同一面にあり、互いに交差しないことを特徴とする半導体装置。

【請求項 4】 請求項 1 記載の半導体装置において、前記テープは1層テープであることを特徴とする半導体装置。

【請求項 5】 請求項 1 記載の半導体装置において、前記テープは2層テープであることを特徴とする半導体装置。

【請求項 6】 請求項 5 記載の半導体装置において、前記2層テープは、前記共通信号配線と独立信号配線がある面の反対面に接地電位プレーンパターンおよび電源電位プレーンパターンが形成されていることを特徴とする半導体装置。

【請求項 7】 請求項 5 記載の半導体装置において、前記チップの主面と前記2層テープの信号配線間には絶縁材が介在されていることを特徴とする半導体装置。

【請求項 8】 請求項 1 記載の半導体装置において、前記テープに受動素子が搭載されていることを特徴とする半導体装置。

【請求項 9】 請求項 1 記載の半導体装置において、前記テープの一面に前記チップを取り囲むように配置された枠を有することを特徴とする半導体装置。

【請求項 10】 請求項 9 記載の半導体装置において、前記枠は、熱放散性の良いプラスチックまたは金属からなることを特徴とする半導体装置。

【請求項 11】 請求項 1 記載の半導体装置において、前記チップに固着された金属板を有することを特徴とする半導体装置。

【請求項 12】 請求項 1 記載の半導体装置において、前記テープに認識マークパターンを有することを特徴とする半導体装置。

【請求項 13】 請求項 1 記載の半導体装置において、前記テープにピン表示用インデックスを有することを特徴とする半導体装置。

【請求項 14】 請求項 1 記載の半導体装置において、前記他方の1辺には、前記独立信号端子と、前記テープ

2

に搭載されているチップとは電氣的に接続されていない他の独立信号端子を配置していることを特徴とする半導体装置。

【請求項 15】 1つのテープに複数のチップを搭載するテープキャリア型半導体装置であって、1組の対向する2辺に共通信号端子を配置し、他方の1辺に独立信号端子を配置し、前記1組の対向する2辺に配置された共通信号端子は左右ミラー対称に配置されていることを特徴とする半導体装置。

10 【請求項 16】 請求項 15 記載の半導体装置において、前記テープを前記独立信号端子が配置された1辺の中央線に沿って切断することによって、2つのミラー対称テープキャリア型半導体装置となることを特徴とする半導体装置。

【請求項 17】 請求項 16 記載の半導体装置において、前記2つのミラー対称テープキャリア型半導体装置のそれぞれの前記テープに認識マークパターンを有することを特徴とする半導体装置。

20 【請求項 18】 請求項 16 記載の半導体装置において、前記2つのミラー対称テープキャリア型半導体装置のそれぞれの前記テープにピン表示用インデックスを有することを特徴とする半導体装置。

【請求項 19】 1つのテープに複数のチップを搭載するテープキャリア型半導体装置であって、1組の対向する2辺に共通信号端子を配置し、他方の1辺に独立信号端子を配置し、さらに前記共通信号端子および前記独立信号端子に連続して延び、かつ前記テープから突出するリードを有し、前記2辺の共通信号端子は共通信号配線によって互いに電氣的に接続されていることを特徴とする半導体装置。

30 【請求項 20】 請求項 19 記載の半導体装置において、前記チップのパッドは、前記共通信号配線に接続されるパッドが前記独立信号端子から遠いところに配置され、独立信号配線に接続されるパッドが前記独立信号端子の近くに配置されていることを特徴とする半導体装置。

【請求項 21】 請求項 19 記載の半導体装置において、前記テープに形成された前記共通信号配線と独立信号配線は同一面にあり、互いに交差しないことを特徴とする半導体装置。

40 【請求項 22】 請求項 19 記載の半導体装置において、前記テープに受動素子が搭載されていることを特徴とする半導体装置。

【請求項 23】 請求項 19 記載の半導体装置において、前記独立信号端子のリードに対向する他辺に、搭載されたチップとは電氣的に接続しない複数の支持リードを有することを特徴とする半導体装置。

50 【請求項 24】 請求項 19 記載の半導体装置において、前記テープの一面に前記チップを取り囲むように配置された枠を有することを特徴とする半導体装置。

3

【請求項 25】 請求項 24 記載の半導体装置において、前記枠は、熱放散性の良いプラスチックまたは金属からなることを特徴とする半導体装置。

【請求項 26】 請求項 19 記載の半導体装置において、前記チップに固着された金属板を有することを特徴とする半導体装置。

【請求項 27】 請求項 19 記載の半導体装置において、前記テープに認識マークパターンを有することを特徴とする半導体装置。

【請求項 28】 請求項 19 記載の半導体装置において、前記テープにピン表示用インデックスを有することを特徴とする半導体装置。

【請求項 29】 1つのテープに複数のチップを搭載するテープキャリア型半導体装置であって、1組の対向する2辺に共通信号端子を配置し、他方の1辺に第1の独立信号端子、および前記テープに搭載されているチップとは電気的に接続されていない第2の独立信号端子を配置した半導体装置を積層し、上段の第1の独立信号端子と下段の第2の独立信号端子が接続され、上段の第2の独立信号端子と下段の第1の独立信号端子が接続されていることを特徴とする積層型の半導体装置。

【請求項 30】 請求項 29 記載の半導体装置において、前記積層された半導体装置は、それぞれがテープ上に形成された前記信号端子どうしを接続することによって積層されていることを特徴とする積層型の半導体装置。

【請求項 31】 請求項 29 記載の半導体装置において、前記積層された半導体装置は、下段がテープ上に信号端子が形成された構造で上段が前記信号端子から連続して延びるリード端子からなる構造であって、互いに積層されていることを特徴とする積層型の半導体装置。

【請求項 32】 請求項 29 記載の半導体装置において、前記積層された半導体装置は、それぞれが信号端子から連続して延びるリード端子を有する構造で前記リード端子どうしを接続することによって積層されていることを特徴とする積層型の半導体装置。

【請求項 33】 請求項 29 記載の半導体装置において、前記テープに認識マークパターンを有することを特徴とする積層型の半導体装置。

【請求項 34】 請求項 29 記載の半導体装置において、前記テープにピン表示用インデックスを有することを特徴とする積層型の半導体装置。

【請求項 35】 長方形形状の基板の長辺の一方の辺に複数の外部端子が形成されており、1組の対向する2辺に共通信号端子を配置し、他方の1辺に独立信号端子を配置し、前記2辺の共通信号端子は共通信号配線によって互いに電気的に接続され、1つのテープに複数のチップを搭載するテープキャリア型半導体装置を複数搭載した半導体モジュールであって、前記外部端子が並ぶ方向に沿って前記独立信号端子が並ぶように搭載していること

4

を特徴とする半導体モジュール。

【請求項 36】 請求項 35 記載の半導体モジュールにおいて、前記外部端子と前記複数のテープキャリア型半導体装置との間に、樹脂封止型半導体装置が搭載されていることを特徴とする半導体モジュール。

【請求項 37】 請求項 35 記載の半導体モジュールにおいて、1つのテープ上に4チップ搭載した前記テープキャリア型半導体装置と、1組の対向する2辺に共通信号端子を配置し、他方の1辺に独立信号端子を配置し、前記1組の対向する2辺に配置された共通信号端子は左右ミラー対称に配置され、1つのテープ上に2チップ搭載したテープキャリア型半導体装置とが混載されていることを特徴とする半導体モジュール。

【請求項 38】 請求項 35 記載の半導体モジュールにおいて、前記基板の搭載面とチップ主面とが対向するように実装されていることを特徴とする半導体モジュール。

【請求項 39】 長方形形状の基板の長辺の一方の辺に複数の外部端子が形成されており、1組の対向する2辺に共通信号端子を配置し、他方の1辺に独立信号端子を配置し、さらに前記共通信号端子および前記独立信号端子に連続して延び、かつテープから突出するリードを有し、前記2辺の共通信号端子は共通信号配線によって互いに電気的に接続され、1つのテープに複数のチップを搭載するテープキャリア型半導体装置を複数搭載した半導体モジュールであって、前記外部端子が並ぶ方向に沿って前記独立信号端子が並ぶように搭載していることを特徴とする半導体モジュール。

【請求項 40】 請求項 39 記載の半導体モジュールにおいて、前記外部端子と前記複数のテープキャリア型半導体装置との間に、樹脂封止型半導体装置が搭載されていることを特徴とする半導体モジュール。

【請求項 41】 請求項 39 記載の半導体モジュールにおいて、1つのテープ上に4チップ搭載した前記テープキャリア型半導体装置と、1組の対向する2辺に共通信号端子を配置し、他方の1辺に独立信号端子を配置し、前記1組の対向する2辺に配置された共通信号端子は左右ミラー対称に配置され、1つのテープ上に2チップ搭載したテープキャリア型半導体装置とが混載されていることを特徴とする半導体モジュール。

【請求項 42】 請求項 39 記載の半導体モジュールにおいて、前記基板の搭載面とチップ主面とが対向するように実装されていることを特徴とする半導体モジュール。

【請求項 43】 長方形形状の基板の長辺の一方の辺に複数の外部端子が形成されており、1組の対向する2辺に共通信号端子を配置し、他方の1辺に第1の独立信号端子、およびテープに搭載されているチップとは電気的に接続されていない第2の独立信号端子を配置した半導体装置を積層し、上段の第1の独立信号端子と下段の第2

5

の独立信号端子が接続され、上段の第2の独立信号端子と下段の第1の独立信号端子が接続され、1つのテープに複数のチップを搭載するテープキャリア型半導体装置を複数搭載した半導体モジュールであって、前記外部端子が並ぶ方向に沿って前記独立信号端子が並ぶように搭載していることを特徴とする半導体モジュール。

【請求項44】 請求項43記載の半導体モジュールにおいて、前記複数のテープキャリア型半導体装置は、それぞれがテープ上に形成された前記信号端子どうしを接続することによって積層されていることを特徴とする半導体モジュール。

【請求項45】 請求項43記載の半導体モジュールにおいて、前記複数のテープキャリア型半導体装置は、下段がテープ上に信号端子が形成された構造で上段が前記信号端子から連続して延びるリード端子からなる構造であって、互いに積層されていることを特徴とする半導体モジュール。

【請求項46】 請求項43記載の半導体モジュールにおいて、前記複数のテープキャリア型半導体装置は、それぞれが信号端子から連続して延びるリード端子を有する構造で前記リード端子どうしを接続することによって積層されていることを特徴とする半導体モジュール。

【請求項47】 請求項43記載の半導体モジュールにおいて、前記複数のテープキャリア型半導体装置は、それぞれが信号端子から連続して延びるリード端子を有する構造で、下段に搭載されるテープキャリア型半導体装置の前記リード端子を上段に搭載されるテープキャリア型半導体装置の前記リード端子が跨いで実装基板上に積層されていることを特徴とするリード・オン・ボード構造の半導体モジュール。

【請求項48】 請求項47記載の半導体モジュールにおいて、前記リード・オン・ボード構造において、前記上段のテープキャリア型半導体装置のリードの方が長いことを特徴とする半導体モジュール。

【請求項49】 請求項43記載の半導体モジュールにおいて、前記外部端子と前記複数のテープキャリア型半導体装置との間に、樹脂封止型半導体装置が搭載されていることを特徴とする半導体モジュール。

【請求項50】 請求項43記載の半導体モジュールにおいて、1つのテープ上に4チップ搭載した前記テープキャリア型半導体装置と、1組の対向する2辺に共通信号端子を配置し、他方の1辺に独立信号端子を配置し、前記1組の対向する2辺に配置された共通信号端子は左右ミラー対称に配置され、1つのテープ上に2チップ搭載したテープキャリア型半導体装置とが混載されていることを特徴とする半導体モジュール。

【請求項51】 請求項43記載の半導体モジュールにおいて、前記基板の搭載面とチップ主面とが対向するように実装されていることを特徴とする半導体モジュール。

6

【請求項52】 複数の半導体チップが搭載された一連のテープであって、前記半導体チップが複数毎に区切られるように共通信号端子が形成され、前記共通信号端子に垂直な方向、かつ前記複数の半導体チップの一方の辺に沿って複数の独立信号端子が形成されている一連のテープを用意する工程と、前記共通信号端子が互いに2分されるように前記共通信号端子のほぼ中心線に沿って切断することによって前記複数の半導体チップの両側の辺に沿って共通信号端子が形成される工程と、前記複数の独立信号端子が前記テープの側面に露出するようにテープを切断することによって1つのテープ上に前記複数の半導体チップを有するテープキャリア型半導体装置を完成することを特徴とする半導体装置の製造方法。

【請求項53】 請求項52記載の半導体装置の製造方法において、さらに前記両側の共通信号端子のほぼ中央であって、前記半導体チップ間において前記複数チップ搭載のテープキャリア型半導体装置を2分割することを特徴とする半導体装置の製造方法。

【請求項54】 請求項52記載の半導体装置の製造方法において、前記複数チップ搭載のテープキャリア型半導体装置を完成する際に4チップ毎に切断することを特徴とする半導体装置の製造方法。

【請求項55】 請求項54記載の半導体装置の製造方法において、さらに前記共通信号端子のほぼ中央であって、前記半導体チップ間において前記4チップ搭載のテープキャリア型半導体装置を2チップ単位に切断することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、半導体装置とそれを搭載した半導体モジュール、および半導体モジュールの製造技術に関し、特に1つのテープに複数のチップを搭載するテープキャリア型半導体装置（TCP：Tape Carrier Package）と、このTCPを複数搭載した半導体モジュールに適用して有効な技術に関する。

【0002】

【従来の技術】 たとえば、従来のテープキャリアパッケージ製造技術として、DRAMなどのメモリTCPを造る場合は、リード配線を形成した一連の絶縁テープを用い、この絶縁テープに個々のメモリチップを順次搭載し、最終的にメモリチップとリード配線とを1対とした1チップ内蔵のTCPパッケージがある。

【0003】 このメモリTCPの製造において、たとえば選別工程では、それまでのテープ状で加工されてきたものが個片に切断された状態で流れる。たとえば、特開平6-37141号公報に記載のこのテープ個片は、アウターリードの周辺にテストプローブ用パッドを設けることが必須で、外形サイズはTSOP（Thin Small Outline Package）などと比較

7

して面積で4倍以上を占める。従って、バーンインや試験用のソケットもT S O P用と比較して面積で4倍以上の大きなものを使っている。さらに、試験を終えたものは、最終工程でテープ個片からアウターリード部で切断され、同時にアウターリードはガルウイング状に成形され、トレイに収納される。

【0004】さらに、このメモリT C Pを、たとえばメモリモジュールとして製品化する際には、モジュール実装工程において、再び1つ1つトレイからピックアップされ、複数のメモリT C Pが基板上にマウントされ、所定の容量のメモリモジュールとして完成される。

【0005】

【発明が解決しようとする課題】ところで、前記のようなメモリT C Pとそれを搭載したメモリモジュールの技術について、本発明者が検討した結果、以下のようなことが明らかとなった。たとえば、メモリT C Pの製造においては、バーンインおよび試験のためのテープ個片が大きいので、T S O Pと比較して装着できるソケットサイズが大きくなる。このため、バーンインや試験用のボードに付けられるソケット数が大幅に少なくなり、結果処理数の減少、換言すればコストアップを招いている。

【0006】さらに、封止工程まではテープ状態でT A B (T a p e A u t o m a t e d B o n d i n g) プロセスそのもので流れるものが、選別工程以降は個別に切断され、メモリモジュール実装工程で再度1つ1つ実装されている。これは実装コストおよび実装面積の観点からは不利である。よって、テープのままメモリモジュール工程に供給され、テープからの切り離しと基板への搭載が同時にできれば、効率良い低コストプロセスの実現につながると考えられる。

【0007】また、メモリモジュールの例としては、たとえば特開平4-350961号公報に記載されるものが挙げられ、テープのリード配線を多層とし、絶縁フィルムを介して搭載された複数のチップ間を電氣的に接続したメモリモジュールが提案されている。ところで、この技術は、テープのリード配線とチップをワイヤボンディングにより接続するものであり、またチップ間に共通の共通信号用リード配線をモジュールの一边に引き回す必要があるため、各共通信号毎に配線層が必要となる。よって、テープ構造が極めて多層となるので、テープの設計が難しくなるとともに、コストの面で不利になることが考えられる。

【0008】そこで、本発明の目的は、T C Pの組立プロセスを用い、テープの設計を簡素化し、かつバーンインおよび試験における同時処理数を増加することによって、テープコストを低減するとともに、バーンインおよび試験コストを低減することができる半導体装置、さらに複数の半導体装置を搭載し、基板の設計を簡素化し、かつモジュール実装を効率良く行うことによって、基板コストを低減するとともに、モジュール実装コストを低

8

減することができる半導体モジュールを提供するものである。

【0009】本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0010】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

10 【0011】すなわち、本発明による第1の半導体装置は、基本的なマルチチップT C Pの構造として、1つのテープに複数のチップを搭載するテープキャリア型半導体装置であって、1組の対向する2辺に共通信号端子を配置し、他方の1辺に独立信号端子を配置し、前記2辺の共通信号端子は共通信号配線によって互いに電氣的に接続されているものである。

20 【0012】また、本発明による第2の半導体装置は、2分割可能なマルチチップT C Pの構造として、1つのテープに複数のチップを搭載するテープキャリア型半導体装置であって、1組の対向する2辺に共通信号端子を配置し、他方の1辺に独立信号端子を配置し、前記1組の対向する2辺に配置された共通信号端子は左右ミラー対称に配置されているものである。さらに、前記テープを中央から切断することによって、2つのミラー対称テープキャリア型半導体装置となるものである。

30 【0013】さらに、本発明による第3の半導体装置は、リード型のマルチチップT C Pの構造として、1つのテープに複数のチップを搭載するテープキャリア型半導体装置であって、1組の対向する2辺に共通信号端子を配置し、他方の1辺に独立信号端子を配置し、さらに前記共通信号端子および前記独立信号端子に連続して延び、かつ前記テープから突出するリードを有し、前記2辺の共通信号端子は共通信号配線によって互いに電氣的に接続されているものである。さらに、前記独立信号端子のリードに対向する他辺に、搭載されたチップとは電氣的に接続しない複数の支持リードを有するものである。

40 【0014】さらに、本発明による第4の半導体装置は、積層可能なマルチチップT C Pの構造として、1つのテープに複数のチップを搭載するテープキャリア型半導体装置であって、1組の対向する2辺に共通信号端子を配置し、他方の1辺に第1の独立信号端子、および前記テープに搭載されているチップとは電氣的に接続されていない第2の独立信号端子を配置した半導体装置を積層し、上段の第1の独立信号端子と下段の第2の独立信号端子が接続され、上段の第2の独立信号端子と下段の第1の独立信号端子が接続されているものである。さらに、前記積層された半導体装置はテープ・オン・テープ構造、リード・オン・テープ構造、あるいはリード・オン・リード構造で積層されているものである。

【0015】また、前記第1、第2、第3、第4の半導体装置の構造において、前記チップのパッドは、前記共通信号配線に接続されるパッドが前記独立信号端子から遠いところに配置され、独立信号配線に接続されるパッドが前記独立信号端子の近くに配置されているものである。さらに、前記テープに形成された前記共通信号配線と独立信号配線は同一面にあり、互いに交差しないものである。

【0016】また、前記テープは1層テープ、あるいは2層テープであり、前記2層テープは、前記共通信号配線と独立信号配線がある面の反対面に接地電位プレーンパターンおよび電源電位プレーンパターンがその大部分に形成されているものである。さらに、前記チップの主面と前記2層テープの信号配線間には絶縁材が介在されているものである。

【0017】さらに、前記テープにチップ部品が搭載されているものである。また、前記テープの一面に前記チップを取り囲むように配置された枠を有し、前記枠は熱放散性の良いプラスチックまたは金属からなるものである。また、前記チップに固着された金属板を有するものである。

【0018】また、前記テープに認識マークパターンを有するものである。さらに、前記テープにピン表示用インデックスを有するものである。

【0019】さらに、前記他方の1辺には、前記独立信号端子と、前記テープに搭載されているチップとは電気的に接続されていない他の独立信号端子を配置しているものである。

【0020】また、本発明による第1の半導体モジュールは、長方形の基板の長辺の一方の辺に複数の外部端子が形成されており、複数の前記第1の半導体装置を搭載した半導体モジュールであって、前記外部端子が並ぶ方向に沿って独立信号端子が並ぶように搭載しているものである。さらに、4チップ搭載の前記第1の半導体装置と、2チップ搭載の前記第2の半導体装置とが混載されているものである。

【0021】さらに、本発明による第2の半導体モジュールは、長方形の基板の長辺の一方の辺に複数の外部端子が形成されており、複数の前記第3の半導体装置を搭載した半導体モジュールであって、前記外部端子が並ぶ方向に沿って独立信号端子が並ぶように搭載しているものである。さらに、4チップ搭載の前記第1の半導体装置と、2チップ搭載の前記第2の半導体装置とが混載されているものである。

【0022】さらに、本発明による第3の半導体モジュールは、長方形の基板の長辺の一方の辺に複数の外部端子が形成されており、複数の前記第4の半導体装置を搭載した半導体モジュールであって、前記外部端子が並ぶ方向に沿って独立信号端子が並ぶように搭載しているものである。さらに、前記複数の半導体装置はテープ・

オン・テープ構造、リード・オン・テープ構造、リード・オン・リード構造、あるいはリード・オン・ボード構造で積層され、前記リード・オン・ボード構造は下段の半導体装置のリードを上段の半導体装置のリードが跨いで実装し、前記上段の半導体装置のリードの方が長いものである。また、4チップ搭載の前記第1の半導体装置と、2チップ搭載の前記第2の半導体装置とが混載されているものである。

【0023】また、前記第1、第2、第3の半導体モジュールの構造において、前記外部端子と前記複数の半導体装置との間に、樹脂封止型半導体装置が搭載されているものである。さらに、前記基板の搭載面とチップ主面とが対向するように実装されているものである。

【0024】また、本発明のよる半導体モジュールの製造方法は、テープキャリア型半導体装置の組立プロセスのテープ切断工程において、複数のチップおきに共通信号端子が形成されている一連のテープを、前記共通信号端子が互いに2分されるようにほぼ中心線に沿って切断して複数チップ搭載のテープキャリア型半導体装置を完成するものである。さらに、前記共通信号端子のない部分で前記複数チップ搭載のテープキャリア型半導体装置を2分割するものである。また、前記複数チップ搭載のテープキャリア型半導体装置を完成する際に4チップ毎に切断し、さらに前記共通信号端子のない部分で2チップ単位に切断するものである。

【0025】よって、本発明によれば、基本的なマルチチップTCPの構造としての第1の半導体装置、2分割可能なマルチチップTCPの構造としての第2の半導体装置、リード型のマルチチップTCPの構造としての第3の半導体装置、および積層可能なマルチチップTCPの構造としての第4の半導体装置を製造することができ、さらにこれらの半導体装置を組み合わせ、第1の半導体装置（第2の半導体装置を混載）を搭載した第1の半導体モジュール、第3の半導体装置（第1の半導体装置、第2の半導体装置を混載）を搭載した第2の半導体モジュール、および第4の半導体装置（第1の半導体装置、第2の半導体装置を混載）を搭載した第3の半導体モジュールを製造することができる。

【0026】

【発明の実施の形態】以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において、同一部材には同一の符号を付し、その繰り返しの説明は省略する。

【0027】図1は本発明の一実施の形態の半導体装置とそれを搭載した半導体モジュールとの関係を示すブロック図、図2および図3は本実施の形態の半導体装置を示す平面図および断面図、図4は2層テープを示す表面および裏面パターン図、図5はチップの主面を示す平面図、図6～図14は半導体装置の変形例を示す説明図、図15は本実施の形態の半導体装置を搭載した半導体モ

ジュールを示す平面図および裏面図、図 16～図 24 は半導体モジュールの変形例を示す説明図、図 25 および図 26 は半導体装置と、それを搭載した半導体モジュールの製造プロセスを示すフロー図である。

【0028】まず、図 1 により、本実施の形態の半導体装置とそれを搭載した半導体モジュールとの関係の一例を説明する。図 1 に示す半導体モジュールは、たとえば 64 ビット 2 バンクのアンバッファード DIMM (Dual In-line Memory Module) であり、A や B などの 4 チップの纏まり、すなわち A : 1 バンク 16 ビットタイプ、B : 2 バンク 8 ビットタイプ、で構成することができる。また、同様に 2 チップの纏まりでは 1 バンク 8 ビットタイプや 2 バンク 4 ビットタイプ、あるいは 8 チップの纏まりでは 1 バンク 32 ビットタイプや 2 バンク 16 ビットタイプ、でも構成することが可能である。この図 1 を構成するこれらのチップの纏まり部分は、1 つの半導体モジュールとして形成することができる。それらのうち、以下においては、主に 4 チップのマルチチップモジュールの 1 バンク 16 ビットタイプを例に、その特徴を説明する。

【0029】図 1 において、D0～D31 は各チップを表し、クロックイネーブル信号 CKE1 が CKE としてチップ D16～D31 に、クロックイネーブル信号 CKE0 が CKE としてチップ D0～D16 に、アドレス信号 A0～A13 がチップ D0～D31 に、ロウアドレスストロブ信号 /RAS がチップ D6～D31 に、カラムアドレスストロブ信号 /CAS がチップ D0～D31 に、ライトイネーブル信号 /WE がチップ D0～D31 に、電源電位 Vdd がチップ D0～D31 に、接地電位 Vss がチップ D0～D31 にそれぞれ供給される。また、チップセレクト信号 /S0 はチップ D0～D3, D8～D11 に、チップセレクト信号 /S1 はチップ D16～D19, D24～D27 に、チップセレクト信号 /S2 はチップ D4～D7, D12～D15 に、チップセレクト信号 /S3 はチップ D20～D23, D28～D31 にそれぞれ供給される。

【0030】さらに、入出力データ DQ0～DQ3 はチップ D0, D16、入出力データ DQ4～DQ7 はチップ D1, D17、入出力データ DQ8～DQ11 はチップ D2, D18、入出力データ DQ12～DQ15 はチップ D3, D19、入出力データ DQ16～DQ19 はチップ D4, D20、入出力データ DQ20～DQ23 はチップ D5, D21、入出力データ DQ24～DQ27 はチップ D6, D22、入出力データ DQ28～DQ31 はチップ D7, D23、入出力データ DQ32～DQ35 はチップ D8, D24、入出力データ DQ36～DQ39 はチップ D9, D25、入出力データ DQ40～DQ43 はチップ D10, D26、入出力データ DQ44～DQ47 はチップ D11, D27、入出力データ DQ48～DQ51 はチップ D12, D28、入出力デ

ータ DQ52～DQ55 はチップ D13, D29、入出力データ DQ56～DQ59 はチップ D14, D30、入出力データ DQ60～DQ63 はチップ D15, D31 のそれぞれ入出力データとなる。

【0031】また、データマスク信号 DQM0 はチップ D0, D1, D16, D17、データマスク信号 DQM1 はチップ D2, D3, D18, D19、データマスク信号 DQM2 はチップ D4, D5, D20, D21、データマスク信号 DQM3 はチップ D6, D7, D22, D23、データマスク信号 DQM4 はチップ D8, D9, D24, D25、データマスク信号 DQM5 はチップ D10, D11, D26, D27、データマスク信号 DQM6 はチップ D12, D13, D28, D29、データマスク信号 DQM7 はチップ D14, D15, D30, D31 のそれぞれ信号となる。

【0032】次に、図 2 (平面図) および図 3 (図 2 の X-X' 切断断面図) により、本実施の形態の半導体装置の構成の一例を説明する。本実施の形態の半導体装置は、前記図 1 に示す 4 チップ (1 バンク 16 ビットタイプ) で、1 つのテープに複数のチップを搭載するメモリ TCP であって、1 つの 2 層配線層構造のテープ 1 と、このテープ 1 に搭載される 4 個のチップ 2 などから構成され、1 組の対向する 2 辺に共通信号端子 3 が配置され、他方の 1 辺に独立信号端子 4 が配置され、2 辺の共通信号端子 3 は共通信号配線によって互いに電気的に接続されている。

【0033】テープ 1 は、たとえば絶縁基材 5 の表面および裏面に配線パターン 6, 7 が形成された 2 層テープからなり、たとえば図 4 (a : 表面、b : 裏面) に示すように、表面に共通信号配線 8 と独立信号配線 9 の配線パターンが同一面に互いに交差することなく形成され、裏面には接地電位プレーンパターン 10 および電源電位プレーンパターン 11 が形成され、電気的な導通が必要な表面の配線パターンと裏面のプレーンパターンや、共通信号端子 3 および独立信号端子 4 の表面と裏面間はスルーホール (ビアホール&ランド) 12 により接続されている。このテープ 1 は、一例として、たとえば絶縁基材 5 がポリイミド樹脂などのテープ部材からなり、配線パターン 6, 7 が銅箔などの金属薄膜からなり、また表面および裏面の配線パターン上には、チップ主面との短絡防止用あるいは外部環境からの保護用にポリイミド樹脂などの絶縁コート材 13, 14 が被着されている。

【0034】このテープ 1 は、平面形状が略長方形からなり、短辺の対向する 2 辺 (図 2 においては両サイド) の表面および裏面に共通信号端子 3 が配置され、長辺の 1 辺 (図 2 においては下方) の表面および裏面に独立信号端子 4 が配置され、表面において、2 辺の共通信号端子 3 間は長辺方向に延びる各共通信号配線 8 によって各チップ 2 に跨って共通に接続され、1 辺の独立信号端子 4 は各独立信号配線 9 によって各チップ 2 毎に独立に接

続されている。また、このテープ 1 には、各チップ 2 の搭載位置に対応して 4 個の開口部 15 が設けられており、各開口部 15 を介して各チップ 2 とテープ 1 のインナーリード 16 とが接続されるようになっている。このインナーリード 16 の部分は、一例として、たとえば銅箔に金メッキが施されている。また、共通信号端子 3 および独立信号端子 4 はアウターリード 17 となる。

【0035】共通信号端子 3 としては、アドレス信号 A0～A13、チップセレクト信号／CS、ロウアドレスストロブ信号／RAS、カラムアドレスストロブ信号／CAS、ライトイネーブル信号／WE、クロックイネーブル信号 CKE、クロック信号 CLK などを入力するための端子と、接地電位 Vss、電源電位 Vdd など を供給するための端子がある。独立信号端子 4 には、入出力データ DQ、データマスク信号 DQM などを入出力するための端子がある。

【0036】また、このテープ 1 は、共通信号端子 3 および独立信号端子 4 が長辺方向の切断線 18 に対して左右ミラー対称に配置されている。すなわち、共通信号端子 3 は、短辺の対向する 2 辺に同じ並びで同じ間隔で配置され、また独立信号端子 4 は長辺の左右で同じ間隔で配置され、これによってテープ 1 を切断線 18 で切断することによって、2 個ずつのチップ 2 が搭載される 2 つのメモリ TCP を製造することが可能な構造となっている。

【0037】各チップ 2 はそれぞれ、たとえば DRAM などのメモリチップからなり、内部にメモリ回路が形成され、このメモリ回路の電極を外部に引き出すためのパッド 19 が主面上、たとえば図 5 に示すように長辺方向に沿って中央部に一列で配置されている、いわゆるセンタパッド構造となっている。各チップ 2 の一列配列のパッド 19 は、テープ 1 の共通信号配線 8 に接続される共通信号用パッドが独立信号端子 4 から遠いところに配置され、独立信号配線 9 に接続される独立信号用パッドが独立信号端子 4 の近くに配置されている。

【0038】以上のように構成されるメモリ TCP において、テープ 1 と各チップ 2 との電気的な接続は、チップ 2 の主面がテープ 1 のインナーリード 16 の配線層側になるように搭載され、テープ 1 上の長辺方向に延びる各共通信号配線 8 の各チップ 2 に対応するインナーリード 16 と各チップ 2 のパッド 19 とがそれぞれ接続され、これによって各チップ 2 から 2 辺の共通信号端子 3 まで電気的に接続され、またテープ 1 上の各独立信号配線 4 の各チップ 2 に対応するインナーリード 16 と各チップ 2 のパッド 19 とがそれぞれ接続され、これによって各チップ 2 から 1 辺の独立信号端子 4 まで電気的に接続される。このテープ 1 と各チップ 2 との接続後は、チップ 2 上のパッド 19 とテープ 1 上のインナーリード 16 との接続部分などの電気的な露出部分が、一例として、たとえばエポキシ樹脂などの封止レジン 20 でポッ

ティングされて封止される。

【0039】前記のようなメモリ TCP においては、後に図 25 で説明するが、TCP の組立プロセスのテープ切断工程で、テープリールなどに巻かれ、4 チップおきに共通信号端子 3 が形成されている一連のテープを、共通信号端子 3 が互いに 2 分されるように切断することによって、テープ 1 に 4 個のチップ 2 を搭載した 4 チップ搭載のメモリ TCP を製造することができ、さらに共通信号端子 3 のない切断線 18 で 2 つに切断することによって、それぞれに 2 個のチップ 2 を搭載した 2 チップ搭載のメモリ TCP を製造することが可能である。

【0040】また、前記のようなメモリ TCP に対して、たとえば図 6～図 14 に示すような変形例が考えられる。図 6～図 14 に基づいて順に説明する。

【0041】図 6 は、テープ 21 のインナーリード 16 の配線層がチップ 2 の主面から遠くなるようにボンディングする場合の構造を示すメモリ TCP の断面図である。この構造においては、各チップ 2 の各パッド 19 上には、一例として、たとえば金ボールなどのバンプ 22 が被着され、そしてテープ 21 の表面側にチップ 2 の主面側が搭載され、テープ 21 の裏面側配線層のインナーリード 16 と各チップ 2 上のバンプ 22 とがそれぞれ接続され、これによって各チップ 2 から共通信号端子 3 および独立信号端子 4 まで電気的に接続される。このテープ 21 と各チップ 2 との接続後は、同様に、チップ 2 上のバンプ 22 とテープ 21 上のインナーリード 16 との接続部分などの電気的な露出部分が封止レジン 20 でボンディングされて封止される。

【0042】図 7 は、2 層のテープ 23 を用い、メモリ TCP を積層する場合の構造を示すメモリ TCP の平面図である。この構造においては、テープ 23 の長辺の 1 辺に独立信号端子 4 と、テープ 23 に搭載されているチップ 2 とは電気的に接続されていないダミー端子 24 を配置したメモリ TCP が積層され、上段の独立信号端子 4 と下段のダミー端子 24 が接続され、上段のダミー端子 24 と下段の独立信号端子 4 が接続される。すなわち、メモリ TCP を 2 段に積層するために、上段と下段のメモリ TCP を区別するためのチップセレクト信号／CS を入力するダミー端子 24 が共通信号端子 3 として設けられ、また上段（または下段）のメモリ TCP の入出力データ DQ を入出力するためのダミー端子 24 が独立信号端子 4 として設けられている。さらに、テープ 23 の形状も、テープ・オン・テープ構造による積層を容易にするために、たとえば共通信号端子 3 が配列されている辺と独立信号端子 4 が配列されている辺の角部に矩形の切り欠き 25 が設けられている。

【0043】図 8 は、2 層のテープ 26 を用い、このテープ 26 から突出するリード 27 を有する場合の構造を示すメモリ TCP の平面図および断面図である。この構造においては、共通信号端子 3 および独立信号端子 4 に

連続して延び、かつテープ 26 から突出するリード 27 が設けられている。すなわち、リード 27 の銅箔だけを絶縁基材 5 より突出させ、ガルウイング状にリードフォーミングしてアウターリード 17 が形成されている。この構造は、アウターリード 17 のフォーミング寸法を変えることにより、ダミー端子 24 なしでも積層が容易に可能な構造となっている。

【0044】図 9 は、1 層のテープ 28 を用いた場合の構造を示すメモリ T C P の平面図および断面図である。この構造においては、図 9 (c) に示すように絶縁基材 5 の片面のみに配線パターンが形成されたテープ 28 が用いられ、接地電位および電源電位の配線 29 は信号配線と同じように銅箔などの金属薄膜からなり、共通信号配線 8 および独立信号配線 9 が同一面に互いに交差することなく形成されている。また、銅箔のリード 27 が絶縁基材 5 より突出され、ガルウイング状にリードフォーミングされてアウターリード 17 が形成されている。この構造も、ダミー端子 24 を介してリード・オン・リード構造の積層が可能で、またダミー端子 24 なしでも、アウターリード 17 の長さを変えてガルウイング成形することにより容易に積層が可能な構造となっている。また、1 層のテープ 28 は 2 層のテープよりも製造工程が少なくすみ、安価に製造できる。

【0045】図 10 は、2 層のテープ 30 を用い、テープ 30 のチップ搭載面に電源のノイズ対策用のバイパスコンデンサ 31 を搭載する構造を示すメモリ T C P の平面図および裏面図である。この構造においては、テープ 30 の裏面の接地電位プレーンパターン 10 と電源電位プレーンパターン 11 からそれぞれスルーホール 32 を通じて接続されるパッド 33 を表面に設け、電源電位に接続されるパッド 33 と接地電位に接続されるパッド 33 との間に受動素子であるバイパスコンデンサ 31 が接続されるように搭載されている。また、バイパスコンデンサ 31 の他に、抵抗などの受動素子を搭載する際には、テープ 30 の表面のパッド間に受動素子が接続されて搭載される。バイパスコンデンサ 31 をメモリ T C P のテープ 30 上に、チップに近接して搭載することによって、実装基板などに搭載した場合に比べてよりノイズ低減される。

【0046】図 11 は、テープ 34 に実装性向上のための支持リード 35 を有する構造を示すメモリ T C P の平面図である。この構造においては、独立信号端子 4 が配列されている辺と相対する辺に、独立信号端子 4 のリード 27 と同じような配列および形状で、チップ 2 とは電氣的に接続しない複数の支持リード 35 が設けられている。この構造は、共通信号端子 3 および独立信号端子 4 のリード 27 と支持リード 35 により、テープ 34 の 4 辺を支えることができるので、メモリ T C P の安定した実装が可能となっている。

【0047】図 12 は、前記図 11 のテープ 34 に対し

て、このテープ 34 に変形を防止するための枠 36 を有する構造を示すメモリ T C P の平面図および断面図である。この構造においては、たとえば金属またはプラスチックなどの材料からなる枠 36 が、テープ 34 の表面にチップ 2 を囲むように周囲に固定されている。この構造は、前記図 11 の利点に加えて、テープ 34 の反り、ねじれ、たわみなどの変形を枠 36 により防止することができるので、さらにメモリ T C P の実装性を向上させることが可能となっている。

【0048】図 13 は、実装性と熱放散性の向上のための金属板 37 を有する構造を示すメモリ T C P の平面図および断面図である。この構造においては、たとえば前記図 11 のテープ 34 に搭載された 4 個のチップ 2 を被うような大きさの金属板 37 が熱伝導性の良い接着剤などでチップ 2 の裏面に直接固定されている。この構造は、前記図 11、図 12 の利点に加えて、主にチップ 2 の固定によりテープ 34 全体の変形を防止することができるのと同時に、チップ 2 の発熱を金属板 37 を通じて放散することができるので、メモリ T C P の実装性の向上と熱放散性の向上とを兼ね備えることが可能となっている。

【0049】図 14 は、テープ 38 にパッケージの向き、ボンディング時の位置を認識するための表示を有する構造を示すメモリ T C P の平面図である。この構造においては、ピン表示用インデックスとして、たとえば共通信号端子 3 の 1 番ピンを表すために、共通信号端子 3 のリード 27 が配列されている辺と支持リード 35 が配列されている辺との角部が切断されて切断部 39 が形成され、さらに 2 分割後のパッケージの向きを区別するために左右のパッケージで異なり、かつ各パッケージで左右非対称の位置に切り欠き 40 が設けられている。この構造では、4 チップ搭載のパッケージ構造でも、2 分割した 2 チップ搭載のパッケージ構造でも、切断部 39 および切り欠き 40 によるピン表示用インデックスによりパッケージの向きが認識可能となっている。

【0050】また、ボンディング時の認識マークパターンとして、共通信号端子 3 のリード 27 が配列されている辺と独立信号端子 4 が配列されている辺との角部に、たとえばインナーリード 16 の配線層で絶縁基材 5 より突出させて形成し、中央をくり抜いた構造の位置合わせ用パターン 41 が設けられ、これとともに、前記切り欠き 40 の部分に同じようにインナーリード 16 の配線層で中央をくり抜いた構造の位置合わせ用パターン 41 が設けられている。この構造では、4 チップ搭載のパッケージ構造でも、2 チップ搭載のパッケージ構造でも、インナーリード 16 のボンディング時に位置合わせ用パターン 41 を用いてテープ 38 とチップ 1 との位置合わせが可能となっている。

【0051】次に、図 15 (平面図および裏面図) により、本実施の形態の半導体モジュールの構成の一例を説

明する。本実施の形態の半導体モジュールは、たとえば前記図 1 において A のようにメモリ TCP を 1 バンク 16 ビットタイプで構成し、図 2 および図 3 のような構造のメモリ TCP を搭載し、168 ピン、アンバッファード DIMM のメモリモジュールであって、長方形の基板 51 と、この基板 51 の表面および裏面に搭載される 8 個（表面に 4 個、裏面に 4 個）のメモリ TCP 52 などから構成され、長方形の基板 51 の長辺の一方の辺に複数の外部端子 53 が形成され、この外部端子 53 が並ぶ方向に沿ってメモリ TCP 52 の独立信号端子 4 が並ぶように搭載されている。

【0052】基板 51 は、たとえば平面形状が略長方形からなり、表面および裏面に 4 個ずつのメモリ TCP 52 が長辺方向に並んで配置され、長辺の 1 辺（図 15 (a) の表面においては下方、(b) の裏面においては上方）にそれぞれ外部端子 53 が配置され、主にメモリ TCP 52 の共通信号端子 3 に接続される外部端子 53 は表面および裏面ともに中央部に、独立信号端子 4 に接続される外部端子 53 は表面および裏面それぞれに中央部を除いた短辺側に設けられている。

【0053】また、この基板 51 は、隣接するメモリ TCP 52 間を共通信号配線領域 54 でそれぞれ接続し、さらに中央部のメモリ TCP 52 間から長辺の 1 辺の外部端子 53 に延びるように共通信号配線領域 54 が設けられ、また独立信号配線領域 55 は各メモリ TCP 52 からそれぞれ長辺の 1 辺の外部端子 53 に延びるように設けられている。また、基板 51 の表面および裏面には、電源のノイズ対策用のコンデンサ 56 と、入出力データダンピング用の抵抗 57 などが搭載されている。この基板 51 は、多層配線層基板からなり、一例として、たとえば絶縁基材がエポキシ樹脂などからなり、配線層が銅箔などの金属薄膜からなり、また表面および裏面の配線層には保護用にポリイミド樹脂などの絶縁コート材が被着されている。

【0054】外部端子 53 には、共通信号用として、アドレス信号 A0～A13、ロウアドレスストロープ信号 /RAS、カラムアドレスストロープ信号 /CAS、ライトイネーブル信号 /WE、クロックイネーブル信号 CK0、CKE1、クロック信号 CK0～CK3、チェックビット信号 CB0～CB7、チップセレクト信号 /S0～/S3、バンクセレクトアドレス信号 BA0、BA1 や、ライトプロテクト信号 WP、シリアル入出力データ SDA、シリアルクロック信号 SCL、シリアルアドレス信号 SA0～SA2 などを入出力するための端子と、接地電位 Vss、電源電位 Vdd などを持供給するための端子がある。独立信号用には、入出力データ DQ0～DQ63、データマスク信号 DQMB0～DQMB7 などを入出力するための端子がある。

【0055】また、前記のようなメモリモジュールに対して、たとえば図 16～図 24 に示すような変形例が考

えられる。図 16～図 24 に基づいて順に説明する。

【0056】図 16 は、168 ピン、レジスタード DIMM のメモリモジュールを示す平面図および裏面図である。このメモリモジュールにおいては、ランダムに発生するメモリセルソフトエラーを救済するための ECC (Error Checking and Correcting) モード用に 8 ビットが付加され、基板 58 の表面にこの 8 ビットのメモリ TCP 59 が追加されて実装され、合計で 9 個のメモリ TCP 52、59 が搭載された 64 ビット+8 ビットの DIMM となっている。

【0057】さらに、基板 58 には、電源のノイズ対策用のコンデンサ 56、入出力データダンピング用の抵抗 57 などの受動素子の他に、外部端子 53 とメモリ TCP 52、59 との間にリード端子を用いた樹脂封止型半導体装置、たとえば基板 58 の表面に EEPROM 60 の TSOP (Thin Small Outline Package)、裏面にレジスタ 61、PLL (Phase Locked Loop) 62、インバータ 63 などの TSOP が搭載され、これによりシステムからの信号をレジスタ 61 に保持し、このレジスタ 61 によりシステムとは分離してメモリ TCP 52、59 の駆動を制御することが可能となっている。

【0058】また、基板 58 の外部端子 53、共通信号配線領域 54、独立信号配線領域 55 などは、前記図 15 と同様の規則に従って設けられている。なお、外部端子 53 の信号割り付けは、ドントユース信号 DU、レジスタードイネーブル信号 REG E が追加された以外は前記図 15 のアンバッファード DIMM とほぼ同様である。また、ロウアドレスストロープ信号は /RE、カラムアドレスストロープ信号は /CE、電源電位は Vcc としている。

【0059】図 17 は、144 ピン、SO (Small Outline) DIMM のメモリモジュールを示す平面図および裏面図である。このメモリモジュールにおいては、前記図 15、図 16 と比べて小さなサイズの基板 64 を用い、この基板 64 の表面および裏面に 2 個ずつ、合計で 4 個のメモリ TCP 52 が搭載された 64 ビットの SODIMM となっている。

【0060】また、基板 64 の外部端子 53、共通信号配線領域 54、独立信号配線領域 55 などは、前記図 15、図 16 と同様の規則に従って設けられている。なお、外部端子 53 は、アドレス信号 A0～A13、ロウアドレスストロープ信号 /RAS、カラムアドレスストロープ信号 /CAS、ライトイネーブル信号 /WE、クロックイネーブル信号 CK0、CKE1、バンクセレクトアドレス信号 BA0、BA1、シリアル入出力データ SDA、シリアルクロック信号 SCL、入出力データ DQ0～DQ63、データマスク信号 DQMB0～DQMB7、接地電位 Vss、電源電位 Vdd などは前記図 15、図 16 と同様に設けられ、クロック信号 CLK

0, CLK1、チップセレクト信号/S0, /S1などはメモリTCP52の数に対応して減っている。

【0061】図18(a)は、基板65上にメモリTCP66, 67を積層し、この積層されたメモリTCP66, 67をテープ・オン・テープ構造で積層実装したメモリモジュールを示す断面図で、図18(b)はその信号端子68, 69の接続部拡大図、図18(c)は上段に積層されるメモリTCP67の平面図である。このメモリモジュールにおいては、メモリTCP66は前記図7のようにダミー端子24を有する構造で、絶縁基材5の表面および裏面に配線パターン6, 7による信号端子を有する2層テープを用い、メモリTCP67は図18(c)に示すように信号端子の成形および長さが異なり、ダミー端子24と入出力データDQの端子がメモリTCP66と積層した際に重ならないように形成されており、これら2種類のメモリTCP66, 67を用いて、基板65の表面にだけメモリTCP66, 67が2段重ねで搭載されている。すなわち、信号端子68の長いメモリTCP66を上段に、信号端子69の短いメモリTCP67を下段にして、上段のメモリTCP66の裏面の信号端子68と下段のメモリTCP67の表面の信号端子69が、たとえば半田などの接続材料70により接続され、さらに下段のメモリTCP67の裏面の信号端子69が基板65の基板パッド上に接続材料70により接続され、これによって上段および下段のメモリTCP66, 67と基板65を電氣的に接続することができる。

【0062】図19は、基板71上にメモリTCP72, 73を積層し、この積層されたメモリTCP72, 73をリード・オン・テープ構造で積層実装したメモリモジュールを示す断面図である。このメモリモジュールにおいては、前記図8のように2層テープの絶縁基材5から突出するリード27を有するメモリTCP72と、前記図7のように絶縁基材5の表面および裏面に信号端子を有する2層テープを用いたメモリTCP73を用いて、基板71の表面にだけ2段重ねで搭載されている。すなわち、図8のメモリTCP72を上段に、図7のメモリTCP73を下段にして、上段のメモリTCP72のリード27による信号端子74と下段のメモリTCP73の表面の信号端子75が接続材料70により接続され、さらに下段のメモリTCP73の裏面の信号端子75が基板71の基板パッド上に接続され、これによって上段および下段のメモリTCP72, 73と基板71を電氣的に接続することができる。

【0063】図20は、基板76上にメモリTCP77, 78を積層し、この積層されたメモリTCP77, 78をリード・オン・ボード構造で積層実装したメモリモジュールを示す断面図である。このメモリモジュールにおいては、前記図8のように2層テープの絶縁基材5から突出するリード27を有する構造で、リード27の

成形および長さが異なる2種類のメモリTCP77, 78を用いて、基板76の表面にだけメモリTCP77, 78が2段重ねで搭載されている。すなわち、リード27の長いメモリTCP77を上段に、リード27の短いメモリTCP78を下段にして、上段のメモリTCP77のリード27による信号端子79が基板76の外側の基板パッド上に、下段のメモリTCP78のリード27による信号端子80がそれより内側の基板パッド上にそれぞれ接続材料70により接続され、これによって上段および下段のメモリTCP77, 78と基板76を電氣的に接続することができる。

【0064】なお、図20のように、前記図8のようなリード27を有する構造で、リード27の成形および長さが異なる2種類のメモリTCP77, 78を用いる場合には、リード27による信号端子79, 80を基板76の外側と内側の基板パッドに接続するのではなく、リード・オン・リード構造の積層実装により、リード27の長い上段のメモリTCP77の信号端子79と、リード27の短い下段のメモリTCP78の信号端子80を接続材料70により接続し、さらに下段のメモリTCP78の信号端子80を基板76の基板パッド上に接続することによっても、上段および下段のメモリTCP77, 78と基板76を電氣的に接続することができる。

【0065】図21は、基板81の両面にメモリTCP82, 83を積層し、この積層されたメモリTCP82, 83をテープ・オン・テープ構造で積層実装したメモリモジュールを示す断面図である。このメモリモジュールにおいては、前記図18のように基板の表面にだけメモリTCPを2段重ねで搭載したものに対して、さらに基板81の裏面にも、表面と同じようにメモリTCP82, 83が2段重ねで搭載され、これによって表面と裏面で別々に信号端子84, 85が接続され、上段および下段のメモリTCP82, 83と基板81を電氣的に接続することができるので、図18に比べて2倍の容量および入出力ビット構成とすることができる。

【0066】図22は、前記図21のように、基板86の両面にメモリTCP87, 88を積層し、この積層されたメモリTCP87, 88をテープ・オン・テープ構造で積層実装したメモリモジュールにおける独立信号の信号端子89, 90の接続を示す側面図(a)および概略斜視図(b)と、メモリTCPを示す平面図(c)である。この信号端子89, 90の接続は、チップセレクト信号/CSの例を用いて説明すると、前記図7のようにダミー端子24を有し、かつ上段のメモリTCP87にはチップセレクト信号/CS1の信号端子89とこれに隣接してダミー端子24が設けられ、一方、下段のメモリTCP88には逆の配置でチップセレクト信号/CS1に対応する位置にダミー端子24、ダミー端子24に対応する位置にチップセレクト信号/CS2の信号端子90が設けられている2種類のメモリTCP87, 8

8を用いて、積層された場合に上段のメモリTCP87のチップセレクト信号／CS1の信号端子89と下段のメモリTCP88のダミー端子24が接続され、上段のメモリTCP87のダミー端子24と下段のメモリTCP88のチップセレクト信号／CS2の信号端子90が接続される。

【0067】また、入出力データDQを入出力するための独立信号についても同様に、上段のメモリTCP87には入出力データDQの信号端子89とこれに隣接してダミー端子24が設けられ、一方、下段のメモリTCP88には逆の配置で入出力データDQに対応する位置にダミー端子24、ダミー端子24に対応する位置に入出力データDQの信号端子90が設けられ、上段のメモリTCP87の入出力データDQの信号端子89と下段のメモリTCP88のダミー端子24が接続され、上段のメモリTCP87のダミー端子24と下段のメモリTCP88の入出力データDQの信号端子90が接続される。

【0068】図23は、前記図15のように基板の両面にメモリTCPを搭載するメモリモジュールに対して、メモリTCPの配置を変えた構造のメモリモジュールを示す平面図である。このメモリモジュールにおいては、基板91の表面および裏面に4個ずつのメモリTCP92が長辺方向および短辺方向に2行×2列で配置されている。この構造においても、長方形の基板91の長辺の一方の辺に複数の外部端子93が形成され、この外部端子93が並ぶ方向に沿ってメモリTCP92の独立信号端子4が並ぶように搭載されている。

【0069】図24は、前記図1において、メモリTCPをBのように2バンク8ビットタイプで構成し、4チップのマルチチップパッケージの2バンク8ビットタイプを例に、アンバッファードDIMMのメモリモジュールを示す平面図である。このメモリモジュールに搭載されるメモリTCP95は、それぞれ2バンク8ビットタイプのチップが4個搭載されている。そして、このメモリTCP95を搭載したメモリモジュールは、基板94の表面および裏面に4個ずつのメモリTCP95が長辺方向に並んで配置されている。この構造においても、長方形の基板94の長辺の一方の辺に複数の外部端子96が形成され、この外部端子96が並ぶ方向に沿ってメモリTCP95の独立信号端子4が並ぶように搭載されている。

【0070】次に、図25（メモリTCPのフロー図）および図26（メモリモジュールのフロー図）により、本実施の形態のメモリTCPと、それを搭載したメモリモジュールの製造方法の一例を説明する。

【0071】メモリTCPの製造においては、まずチップ2、テープリールなどに巻かれた一連のテープ1、封止レジン20などを用意する。

【0072】バンパ付け工程（S101）において、チ

ップ2のパッド19上に金ボールを搭載してバンパ22を付ける。この工程は、前記図6のような構造においては必要があるが、前記図3のような構造ではバンパ22を付ける必要がないので省略することができる。

【0073】インナーリードボンディング工程（S102）において、テープ1とチップ2との位置合わせを行い、ボンディングツールをインナーリード16の上から押し当てて、ダイレクトボンディングを行う。この工程では、前記図3のような構造においては、1ピンずつシングルポイントのボンディングによりアルミニウム電極のパッド19に加熱・加圧し、前記図6のような構造では全ピン一括してバンパ22に加熱・加圧する。

【0074】外観検査工程（S103）において、インナーリードボンディング後のテープ1のインナーリード16とチップ2上のパッド19、あるいはバンパ22との接続状態などを検査し、接続不良などがなければ確認する。ここで、良品と確認されたものは以降の工程に進み、良品でないものは不良品として取り除く。

【0075】インナーリード部レジン塗布・硬化工程（S104）において、外観検査で良品と確認されたものに対して、チップ2上のパッド19、あるいはバンパ22とテープ1上のインナーリード16との接続部分などの電気的な露出部分に封止レジン20をポッティングして封止する。

【0076】テープ切断工程（S105）において、チップ2が搭載され、4チップおきに共通信号端子3が形成されている一連のテープ1を共通信号端子3が互いに2分されるように切断する。このテープ1の切断により、テストソケットへの装着に適した形状およびサイズとなる。

【0077】オープン／ショート試験工程（S106）において、バーンイン前に、共通信号端子3、独立信号端子4などの入出力ピンのオープン／ショート検査などを行う。ここで、良品と確認されたものは以降の工程に進み、良品でないものは不良品として取り除く。

【0078】バーンイン工程（S107）において、オープン／ショート試験で良品と確認されたものに対して、所定の温度条件において、定格もしくはそれを越える電源電圧を印加し、各メモリ回路などに実動作に近い信号を印加しながらスクリーニングを行う。

【0079】電気的特性試験工程（S108）において、入出力ピン間のオープン／ショート検査、リーク電流検査や、電源電流（動作時、スタンバイ時）の測定などのDCテストと、メモリ回路に対して所定のテストパターンを用いて書き込み／読み出し動作を行う機能検査、タイミングマージンの測定などのファンクションテストを行う。ここで、良品と確認されたものは以降の工程に進み、良品でないものは不良品として取り除く。

【0080】外形切断工程（S109）において、電気的特性試験で良品と確認されたものに対して、4個のチ

チップ 2 が搭載されたテープ 1 を共通信号端子 3 および独立信号端子 4 を残してチップ 2 の近傍で切断し、その後、アウターリード 17 の成形などを行う。これにより、テープ 1 に 4 個のチップ 2 を搭載した 4 チップ搭載のメモリ T C P 5 2 となる。さらに、共通信号端子 3 のない切断線 18 で 2 つに切断することにより、テープ 1 に 2 個のチップ 2 を搭載した 2 チップ搭載のメモリ T C P となる。

【0081】外観検査工程（S110）において、メモリ T C P 5 2 としての最終的な検査として、4 チップ搭載のメモリ T C P 5 2（2 チップ搭載のメモリ T C P）の外観検査を行う。これにより、良品と確認されたメモリ T C P 5 2 はメモリ T C P 製造プロセスの工程内の搬送トレイに収納して、メモリモジュール製造工程へ供給することができる。

【0082】なお、このメモリ T C P 製造プロセスにおいて、たとえばチップ 2 として良品であると選別された K G D（Known Good Dia）、W P P（Wafer Process Package）などを用いた場合には、インナーリード部レジソ塗布・硬化工程（S104）後に電気的特性試験工程（S111）を行い、その後、外形切断工程（S109）に移行するか、あるいはテープリールに巻き取り、メモリモジュール製造工程へ供給することができる。

【0083】続いて、メモリモジュールの製造においては、まず基板 51、メモリ T C P 5 2、コンデンサ 56 および抵抗 57 などの実装部品、半田ペーストなどを用意する。

【0084】半田塗布（裏面）工程（S201）において、基板 51 の裏面のパッド上に印刷機で半田ペーストを塗布する。

【0085】部品搭載工程（S202）において、基板 51 の裏面にメモリ T C P 5 2、コンデンサ 56 および抵抗 57 などの受動素子などを搭載する。

【0086】半田付け工程（S203）において、基板 51 のパッドと搭載された実装部品のメモリ T C P 5 2、コンデンサ 56、抵抗 57 などの端子とを接続する。この工程では、たとえばメモリ T C P 5 2 の端子がテープ構造の場合は半田ペーストを溶融して圧着により接合し、またリード構造の場合はリフローにより加熱して半田ペーストを溶融させて半田付けを行うなどの方法が用いられる。

【0087】半田塗布（表面）工程（S204）、部品搭載工程（S205）、半田付け工程（S206）においては、前記基板 51 の裏面への半田塗布、部品搭載、半田付けと同じように、表面に対して半田塗布、部品搭載、半田付けを行う。

【0088】外観検査工程（S207）において、基板 51 の裏面および表面の部品搭載および半田付け工程後の基板 51 上のパッドと搭載部品の端子との接続状態な

どを検査し、接続不良などがなければ確認する。ここで、良品と確認されたものは以降の工程に進み、良品でないものは不良品として取り除く。

【0089】電気的特性試験工程（S208）において、外観検査で良品と確認されたものに対して、外部端子間のオープン／ショート検査、リーク電流検査や、電源電流（動作時、スタンバイ時）の測定などの D C テストと、メモリ回路に対して所定のテストパターンを用いて書き込み／読み出し動作を行う機能検査、タイミングマージンの測定などのファンクションテストを行う。ここで、良品と確認されたものは以降の工程に進み、良品でないものは不良品として取り除く。

【0090】ケース装着工程（S209）において、電気的特性試験で良品と確認されたものに対して、基板 51 に搭載されたメモリ T C P 5 2 を被い、外部端子 53 が露出するようにメモリモジュールにケースを装着する。

【0091】製品表示工程（S210）において、ケースが装着されたメモリモジュールに、このメモリモジュールの製品名、ロット番号などを印字する。

【0092】出荷検査工程（S211）において、製品表示が完了したメモリモジュールを出荷する前に最終検査を行う。これにより、良品と確認されたメモリモジュールは製品として出荷することができる。

【0093】なお、このメモリモジュール製造プロセスにおいては、前記メモリ T C P 製造プロセスでチップ 2 として K G D、W P P などを用いた場合には、テープリールに巻き取られて供給されたものに対して、テープ 1 から切断すると同時に搭載する外形切断・同時搭載工程（S212）を行い、その後、他の実装部品の部品搭載工程（S202、S205）からの処理を行うことによって、良品のメモリモジュールは製品として出荷することができる。

【0094】従って、本実施の形態のメモリ T C P によれば、短辺の対向する 2 辺に共通信号端子 3 が配置され、長辺の 1 辺に独立信号端子 4 が配置され、2 辺の共通信号端子 3 は共通信号配線 8 によって互いに電気的に接続されていることにより、以下のような効果を得ることができる。

【0095】（1）共通信号端子 3 をテープ 1 の両サイドの短辺に、独立信号端子 4 をテープ 1 の下方の長辺に配置することで、メモリモジュールの下方の長辺に配置される外部端子 53 のピン配置により近くなるため、基板 51 の設計を簡素化することができる。

【0096】（2）共通信号端子 3 および独立信号端子 4 が左右ミラー対称の配列のため、表裏左右に関係なく基板 51 上にレイアウトできるので、基板 51 の配置の自由度を向上させることができる。また、テープ 1 を中央から切断することにより、2 個のミラーパッケージを得ることができる。

【0097】(3) インターポーザ構造として、チップ2の狭いパッド19のパッドピッチ(たとえば100~50 μ m)を、テープ1の広いアウターリード17のリードピッチ(たとえば0.5mm以上)に拡大することができる。

【0098】(4) 積層実装用のダミー端子24を付けることで、各層間で分けて引き出した独立信号端子4をこのダミー端子24を介して基板51に接続することで容易に積層できるため、テープ1上の信号端子でも積層実装が容易になる。

【0099】(5) 2層のテープ26を用い、このテープ26から突出するリード27を設ける構造では、アウターリード17のフォーミング寸法を変えることにより、ダミー端子24なしでも容易に積層することができる。

【0100】(6) 1層のテープ28を用い、このテープ28から突出するリード27を設ける構造では、テープ28のコストを低減するとともに、ダミー端子24を介してリード・オン・リード構造の積層が可能であり、またダミー端子24なしでもアウターリード17の長さを変えて容易に積層することができる。

【0101】(7) 独立信号端子4が配列された辺と相対する辺に支持リード35を設けることで、テープ34を共通信号端子3および独立信号端子4のリード27と支持リード35により支えることができるため、メモリTCP52を安定して実装し、実装性を向上させることができる。

【0102】(8) テープ34の表面にチップ2を囲むように枠36を固定することで、テープ34の反り、ねじれ、たわみなどの変形を防止することができ、さらにメモリTCP52の実装性を向上させることができる。

【0103】(9) テープ34に搭載されたチップ2に金属板37が直接固定されることで、テープ全体の変形を防止するとともに、チップ2の発熱を金属板37を通じて放散することができるので、メモリTCP52の実装性の向上と熱放散性の向上とを兼ね備えることができる。

【0104】(10) テープ38の角部の切断部39によるピン表示用インデックスと左右非対称の位置に切り欠き40を設けることで、4チップ搭載のパッケージ構造、2分割した2チップ搭載のパッケージ構造でもパッケージの向きを認識することができる。

【0105】(11) 中央をくり抜いた構造の位置合わせ用パターン41を設けることで、4チップ搭載のパッケージ構造、2チップ搭載のパッケージ構造でも、インナーリード16のボンディング時に位置合わせ用パターン41を認識マークとして用いてテープ1とチップ2との位置合わせを行うことができる。

【0106】(12) 複数のチップ2を同時にオープン／ショート試験、バーンインおよび電気的特性試験がで

きるため、バーンインおよび試験コストの低減を図ることができる。

【0107】さらに、本実施の形態のメモリモジュールによれば、前記のような効果を有するメモリTCP52を搭載し、長形状の基板51の長辺の一方の辺に複数の外部端子53が形成され、この外部端子53が並ぶ方向に沿ってメモリTCP52の独立信号端子4が並ぶように搭載されていることにより、以下のような効果を得ることができる。

10 【0108】(21) 1チップのメモリTCPに比較して1チップに占めるアウターリード17の占有面積が小さいため、基板51への高密度実装が可能であり、メモリモジュールの高集積化を図ることができる。

【0109】(22) テープ1上で主要な配線が完了しているため、基板51の配線が簡素化され、スルーホール数も大幅に減少し、基板51の層数の低減の可能性もあるので、基板51のコストを低減することができる。

20 【0110】(23) 同一容量のチップ2を実装する同一容量のメモリモジュールと比較すると、搭載パッケージ数が減少し、搭載コストを低減することができる。また、接続ポイントも減少し、接続部の検査に要するコストが低減するので、メモリモジュールの実装コストを低減することができる。

【0111】(24) 同一サイズで次世代品並の大容量メモリモジュールを実現し、PC(Personal Computer)やWS(Work-Station)などのシステムの小型化や内蔵メモリの大容量化に寄与するので、システムの小型、大容量化を図ることができる。

30 【0112】(25) メモリTCPとメモリモジュールとの関係において、64ビット2バンクでは、4チップの纏まりにより1バンク16ビットタイプ、2バンク8ビットタイプで構成したり、2チップの纏まりにより1バンク8ビットタイプや2バンク4ビットタイプ、あるいは8チップの纏まりにより1バンク32ビットタイプや2バンク16ビットタイプでも構成することができる。

【0113】以上、本発明者によってなされた発明をその実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0114】たとえば、前記実施の形態においては、本発明者によってなされた発明をその属する技術分野であるメモリモジュールに適用した場合について説明したが、これに限定されるものではなく、さらにメモリ内蔵製品、たとえばPCなどのマザーボード上のメモリ代替(メモリの構成(ワード×ビット)がモジュールの構成そのものにできるため)などに応用することも可能である。

【0115】

【発明の効果】本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下のとおりである。

【0116】（１）１組の対向する２辺に共通信号端子を配置し、他方の１辺に独立信号端子を配置し、２辺の共通信号端子は共通信号配線によって互いに電氣的に接続されていることで、１つのテープに複数のチップを搭載した基本的なマルチチップＴＣＰを得ることが可能となる。

【0117】（２）１組の対向する２辺に共通信号端子を配置し、他方の１辺に独立信号端子を配置し、１組の対向する２辺に配置された共通信号端子は左右ミラー対称に配置されていることで、２分割可能なマルチチップＴＣＰを得ることができ、さらにテープを中央から切断することによって、２つのミラー対称ＴＣＰを得ることが可能となる。また、表裏左右に関係なく基板上にレイアウトできるので、基板配置の自由度を向上させることも可能となる。

【0118】（３）１組の対向する２辺に共通信号端子を配置し、他方の１辺に独立信号端子を配置し、さらに共通信号端子および独立信号端子に連続して延び、かつテープから突出するリードを有し、２辺の共通信号端子は共通信号配線によって互いに電氣的に接続されていることで、リード型のマルチチップＴＣＰを得ることが可能となる。

【0119】（４）１組の対向する２辺に共通信号端子を配置し、他方の１辺に第１の独立信号端子、およびテープに搭載されているチップとは電氣的に接続されていない第２の独立信号端子を配置した半導体装置を積層し、上段の第１の独立信号端子と下段の第２の独立信号端子が接続され、上段の第２の独立信号端子と下段の第１の独立信号端子が接続されていることで、積層可能なマルチチップＴＣＰを得ることができ、さらに半導体装置はテープ・オン・テープ構造、リード・オン・テープ構造、あるいはリード・オン・リード構造で積層することが可能となる。

【0120】（５）チップのパッドは、共通信号配線に接続されるパッドが独立信号端子から遠いところに配置され、独立信号配線に接続されるパッドが独立信号端子の近くに配置されているので、基板の共通信号配線と独立信号配線の配置領域を容易に分離でき、さらに半導体モジュールの一辺に配置される外部端子のピン配置により近くなるため、基板の設計を簡素化することが可能となる。

【0121】（６）テープに形成された共通信号配線と独立信号配線は同一面にあり、互いに交差しないので、テープの構造を簡略化することが可能となる。さらに、共通信号配線と独立信号配線の同一面に接地電位、電源電位の配線パターンを形成することで、１層テープで実

現でき、また共通信号配線と独立信号配線がある面の反対面に接地電位プレーンパターンおよび電源電位プレーンパターンを形成することで、２層テープで実現することが可能となる。

【0122】（７）２層テープで実現し、このテープから突出するリードを有する場合には、アウターリードのフォーミング寸法を変えることができるので、他の独立信号端子なしでも容易に積層することが可能となる。

【0123】（８）１層テープで実現し、このテープから突出するリードを有する場合には、テープのコストを低減するとともに、他の独立信号端子を介してリード・オン・リードの積層が可能であり、また他の独立信号端子なしでもアウターリードの長さを変えて容易に積層することが可能となる。

【0124】（９）チップの主面とテープの信号配線間には絶縁材が介在されているので、テープ上の信号配線の短絡を防止することができるので、テープ上にチップの主面側を搭載することが可能となる。

【0125】（１０）テープにチップ部品を搭載することができるので、電源のノイズ対策用のバイパスコンデンサなどを搭載することが可能となる。

【0126】（１１）独立信号端子のリードに対向する他辺に、搭載されたチップとは電氣的に接続しない複数の支持リードを有する場合には、テープを共通信号端子および独立信号端子のリードと支持リードにより支えることができるので、ＴＣＰを安定して実装し、実装性を向上させることが可能となる。

【0127】（１２）テープの一面にチップを取り囲むように枠を配置する場合には、テープの反り、ねじれ、たわみなどの変形を防止することができるので、さらにＴＣＰの実装性を向上させることが可能となる。さらに、熱放散性の良いプラスチックまたは金属からなる枠を用いることで、熱放散性も向上させることが可能となる。

【0128】（１３）チップに金属板を固着する場合には、金属板によりテープ全体の変形を防止するとともに、チップの発熱を金属板を通じて放散することができるので、ＴＣＰの実装性の向上と熱放散性の向上とを兼ね備えることが可能となる。

【0129】（１４）テープに認識マークパターンを有する場合には、インナーリードのボンディング時に認識マークパターンを用いてテープとチップとの位置合わせを行うことが可能となる。さらに、２分割したパッケージ構造でも、認識マークパターンを位置合わせ用に用いることが可能である。

【0130】（１５）テープにピン表示用インデックスを有する場合には、ピン表示用インデックスによりパッケージの向きを認識することが可能となる。さらに、２分割したパッケージ構造でも、ピン表示用インデックスをパッケージの向きを認識する場合に用いることが可能

である。

【0131】(16) 他方の1辺には独立信号端子と、テープに搭載されているチップとは電氣的に接続されていない他の独立信号端子を配置していることで、テープの各層間で分けて引き出した独立信号端子をこの他の独立信号端子を介して基板に接続することができるので、テープ基材上の端子でもTCPの積層実装が容易に可能となる。

【0132】(17) インターポーザ構造として、チップの狭いパッドピッチを広いアウターリードピッチに拡大することができるので、基板の配線の引き回しなどを容易に簡略化することが可能となる。

【0133】(18) 複数のチップを同時に、バーンインおよび電氣的特性試験することができるので、バーンインおよび試験コストを低減することが可能となる。

【0134】(19) 長辺の一方の辺に複数の外部端子が形成された長形状の基板に、基本的なマルチチップTCP、2分割可能なマルチチップTCP、リード型のマルチチップTCP、および積層可能なマルチチップTCPを組み合わせて搭載することで、これらのTCPが混載された半導体モジュールを製造することが可能となる。特に、複数チップ搭載のTCPと、これを2分割したTCPとを混載した半導体モジュールを得ることが可能となり、またTCPを積層する半導体モジュールでは、複数のTCPをテープ・オン・テープ構造、リード・オン・テープ構造、リード・オン・リード構造、あるいはリード・オン・ボード構造で積層することが可能となる。

【0135】(20) 外部端子と複数のTCPとの間に樹脂封止型半導体装置を搭載することができるので、レジスタ、PLL、インバータなどのTSOPを搭載してレジスタードDIMMなどの半導体モジュールを得ることが可能となる。

【0136】(21) 基板の搭載面とチップ主面とが対向するように実装することができるので、チップ主面を保護することができるとともに、チップの裏面に熱放散性の金属板などを固着することが可能となる。

【0137】(22) 1チップのTCPに比較して1チップに占めるアウターリードの占有面積が小さいため、基板への高密度実装が可能となるので、半導体モジュールの高集積化を図ることが可能となる。

【0138】(23) テープ上で主要な配線が完了しているため、基板の配線が簡素化され、スルーホール数も大幅に減少し、基板層数の低減の可能性もあるので、基板コストの低減が可能となる。

【0139】(24) 同一容量のメモリチップを実装する同一容量のメモリモジュールと比較すると、搭載パッケージ数が減少し、搭載コストを低減することができ、また接続ポイントも減少し、接続部の検査に要するコストが低減するので、メモリモジュールの実装コストの低

減が可能となる。

【0140】(25) 同一サイズで次世代品並の大容量メモリモジュールを実現し、PCやWSなどのシステムの小型化や内蔵メモリの大容量化に寄与するので、システムの小型、大容量化を図ることが可能となる。

【0141】(26) メモリTCPとメモリモジュールとの関係において、64ビット2バンクでは、4チップの纏まりにより1バンク16ビットタイプ、2バンク8ビットタイプで構成したり、2チップの纏まりにより1バンク8ビットタイプや2バンク4ビットタイプ、あるいは8チップの纏まりにより1バンク32ビットタイプや2バンク16ビットタイプでも構成するなど、容量と入出力ビット数、バンク数などとの関係から種々のメモリTCP、メモリモジュールを構成することが可能となる。

【図面の簡単な説明】

【図1】本発明の一実施の形態の半導体装置とそれを搭載した半導体モジュールとの関係を示すブロック図である。

【図2】本実施の形態の半導体装置を示す平面図である。

【図3】(a)，(b)は本実施の形態の半導体装置を示す断面図および部分拡大断面図である。

【図4】(a)，(b)は本実施の形態において、2層テープを示す表面および裏面パターン図である。

【図5】本実施の形態において、チップの主面を示す平面図である。

【図6】(a)，(b)は本実施の形態の変形例として、テープのインナーリードがチップ主面から遠くなるようにボンディングする場合のメモリTCPを示す断面図および部分拡大断面図である。

【図7】本実施の形態の変形例として、メモリTCPを積層する場合のメモリTCPを示す平面図である。

【図8】(a)，(b)は本実施の形態の変形例として、テープから突出するリードを有する場合のメモリTCPを示す平面図および断面図である。

【図9】(a)，(b)，(c)は本実施の形態の変形例として、1層テープを用いた場合のメモリTCPを示す平面図および断面図である。

【図10】(a)，(b)は本実施の形態の変形例として、テープのチップ搭載面にコンデンサを搭載する構造のメモリTCPを示す平面図および裏面図である。

【図11】本実施の形態の変形例として、テープに支持リードを有する構造のメモリTCPを示す平面図である。

【図12】(a)，(b)は本実施の形態の変形例として、テープ34に枠を有する構造のメモリTCPを示す平面図および断面図である。

【図13】(a)，(b)は本実施の形態の変形例として、チップ上に金属板を有する構造のメモリTCPを示

す平面図および断面図である。

【図 14】本実施の形態の変形例として、テープにパッケージの向き、ボンディング時の位置を認識するための表示を有する構造のメモリ T C P を示す平面図である。

【図 15】(a), (b) は本実施の形態の半導体装置を搭載した半導体モジュールを示す平面図および裏面図である。

【図 16】(a), (b) は本実施の形態の変形例として、レジスタード D I M M のメモリモジュールを示す平面図および裏面図である。

【図 17】(a), (b) は本実施の形態の変形例として、S O D I M M のメモリモジュールを示す平面図および裏面図である。

【図 18】(a), (b), (c) は本実施の形態の変形例として、テープ・オン・テープ構造で積層実装したメモリモジュールを示す断面図および部分拡大断面図と、上段のメモリ T C P を示す平面図である。

【図 19】(a), (b) は本実施の形態の変形例として、リード・オン・テープ構造で積層実装したメモリモジュールを示す断面図および部分拡大断面図である。

【図 20】(a), (b) は本実施の形態の変形例として、リード・オン・ボード構造で積層実装したメモリモジュールを示す断面図および部分拡大断面図である。

【図 21】(a), (b) は本実施の形態の変形例として、基板の両面にリード・オン・ボード構造で積層実装したメモリモジュールを示す断面図および部分拡大断面図である。

【図 22】(a), (b), (c) は本実施の形態の変形例として、基板の両面にリード・オン・ボード構造で積層実装したメモリモジュールにおける独立信号の信号端子の接続を示す側面図および概略斜視図と、メモリ T C P を示す平面図である。

【図 23】本実施の形態の変形例として、メモリ T C P の配置を変えた構造のメモリモジュールを示す平面図である。

【図 24】本実施の形態の変形例として、アンバッファード D I M M (2 バンク 8 ビットタイプ) のメモリモジュールを示す平面図である。

【図 25】本実施の形態の半導体装置の製造プロセスを示すフロー図である。

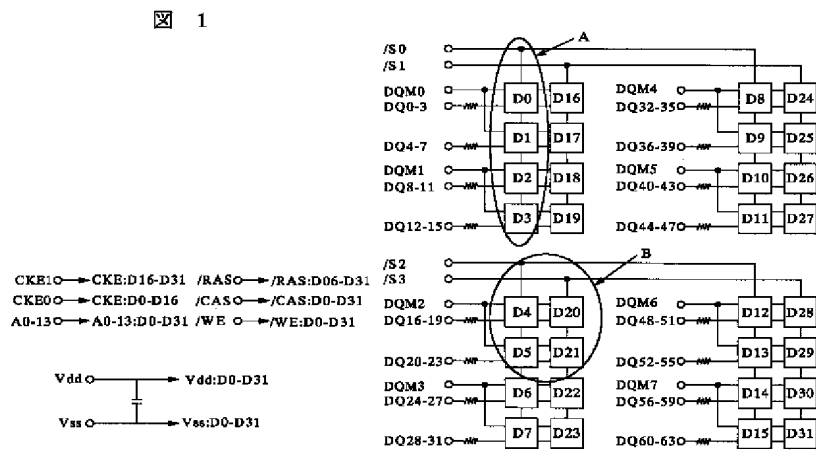
【図 26】本実施の形態の半導体装置を搭載した半導体モジュールの製造プロセスを示すフロー図である。

【符号の説明】

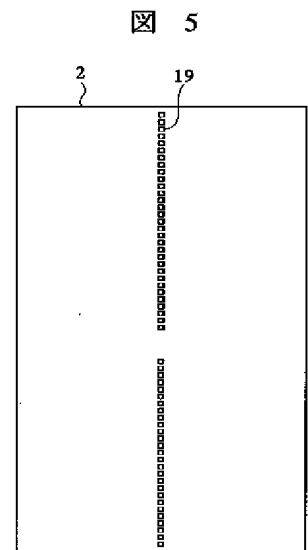
- 1 テープ
- 2 チップ
- 3 共通信号端子
- 4 独立信号端子
- 5 絶縁基材

- 6, 7 配線パターン
- 8 共通信号配線
- 9 独立信号配線
- 10 接地電位プレーンパターン
- 11 電源電位プレーンパターン
- 12 スルーホール
- 13, 14 絶縁コート材
- 15 開口部
- 16 インナーリード
- 10 17 アウターリード
- 18 切断線
- 19 パッド
- 20 封止レジン
- 21, 23, 26, 28, 30, 34, 38 テープ
- 22 バンプ
- 24 ダミー端子
- 25 切り欠き
- 27 リード
- 29 配線
- 20 31 バイパスコンデンサ
- 32 スルーホール
- 33 パッド
- 35 支持リード
- 36 枠
- 37 金属板
- 39 切断部
- 40 切り欠き
- 41 位置合わせ用パターン
- 51 基板
- 30 52 メモリ T C P
- 53 外部端子
- 54 共通信号配線領域
- 55 独立信号配線領域
- 56 コンデンサ
- 57 抵抗
- 58, 64, 65, 71, 76, 81, 86, 91, 94 基板
- 59, 66, 67, 72, 73, 77, 78, 82, 83, 87, 88, 92, 95 メモリ T C P
- 40 60 E E P R O M
- 61 レジスタ
- 62 P L L
- 63 インバータ
- 68, 69, 74, 75, 79, 80, 84, 85, 89, 90 信号端子
- 70 接続材料
- 93, 96 外部端子

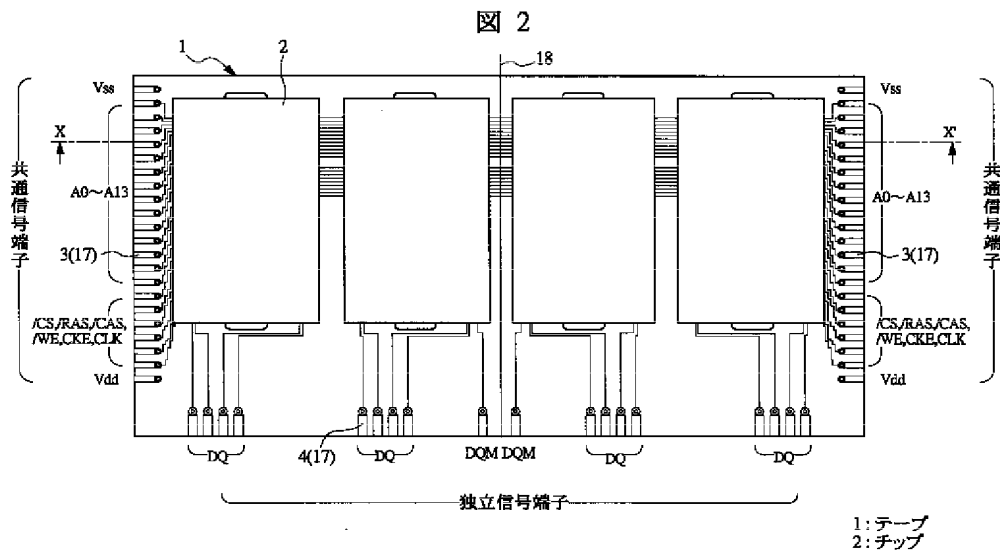
【図 1】



【図 5】



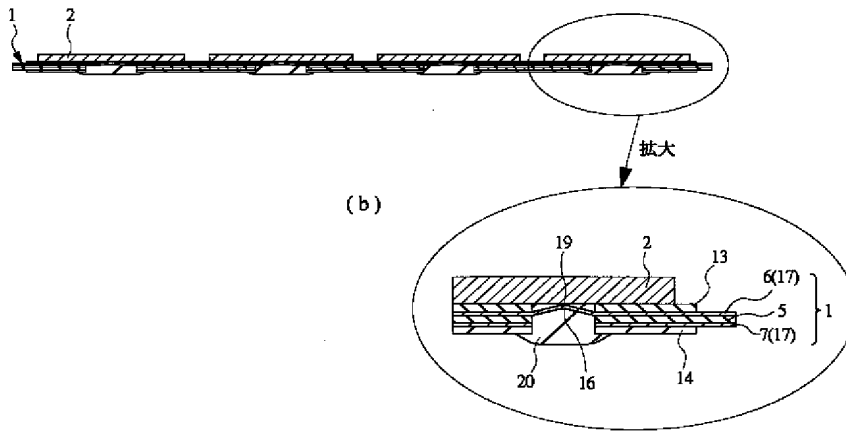
【図 2】



【図 3】

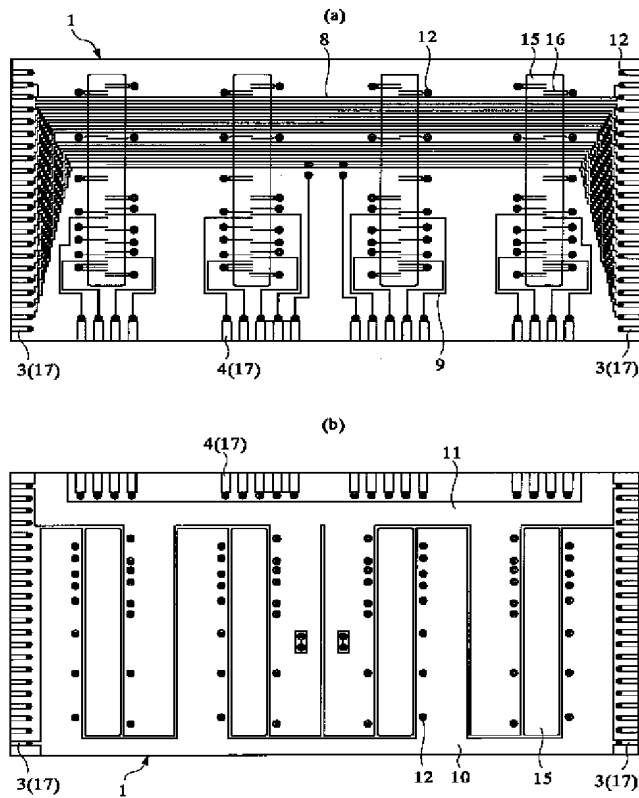
図 3

(a)



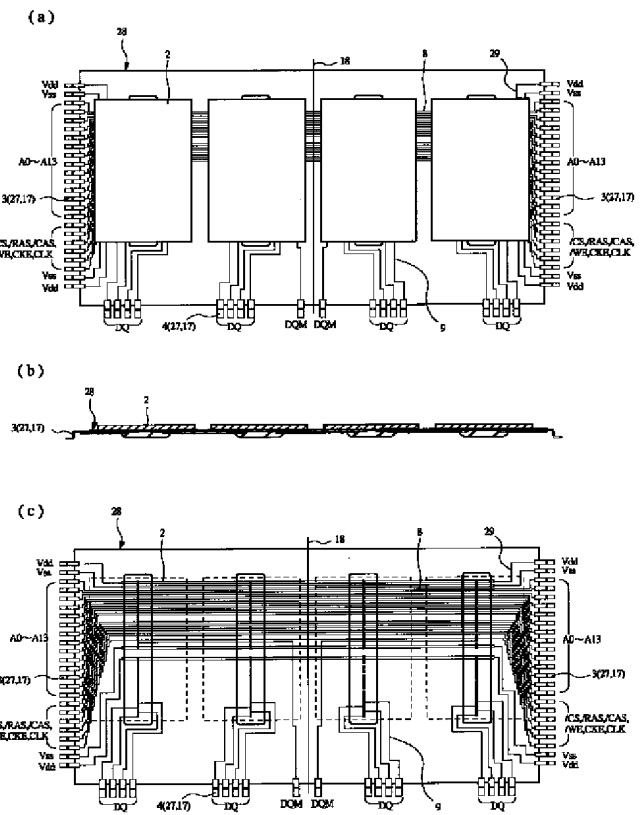
【図 4】

図 4



【図 9】

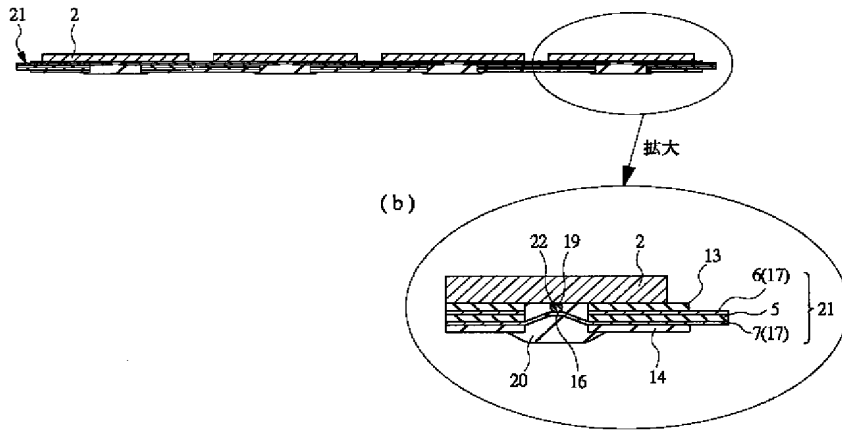
図 9



【図 6】

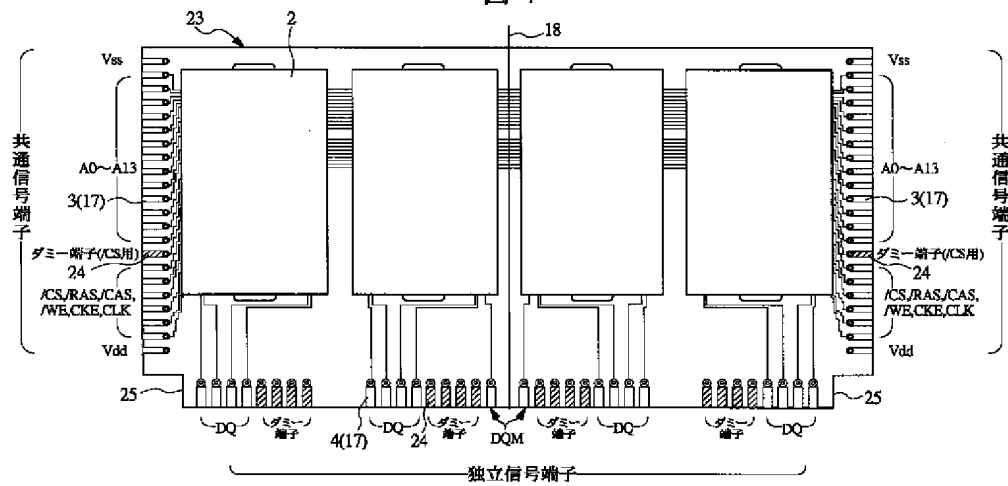
図 6

(a)

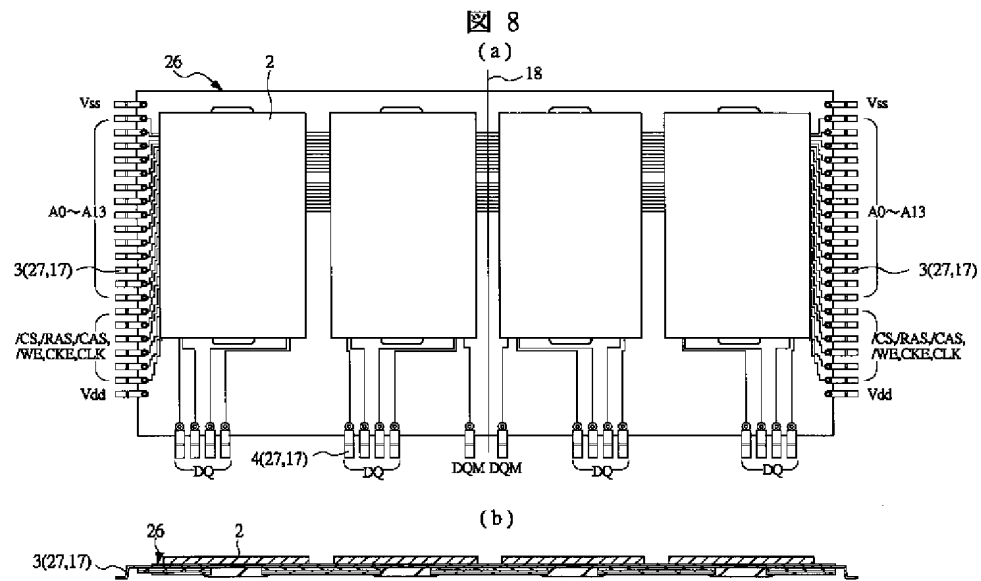


【図 7】

図 7

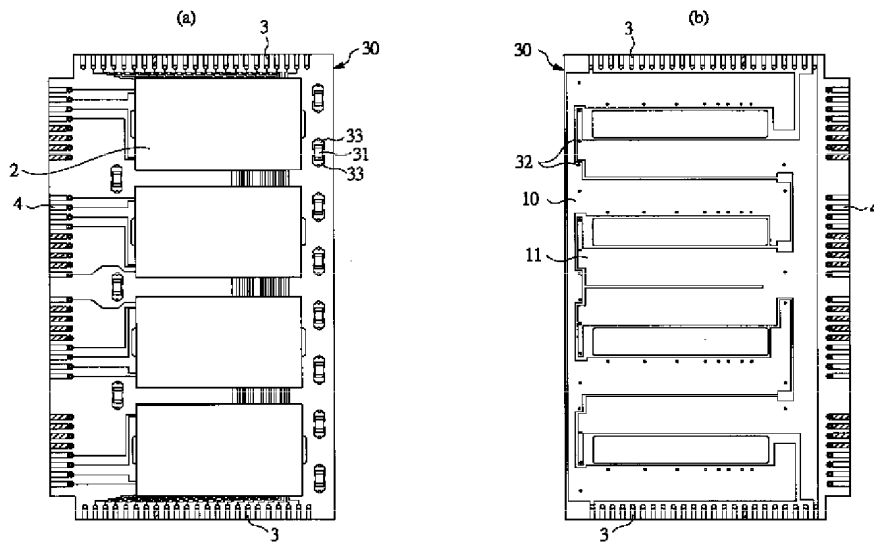


【図 8】



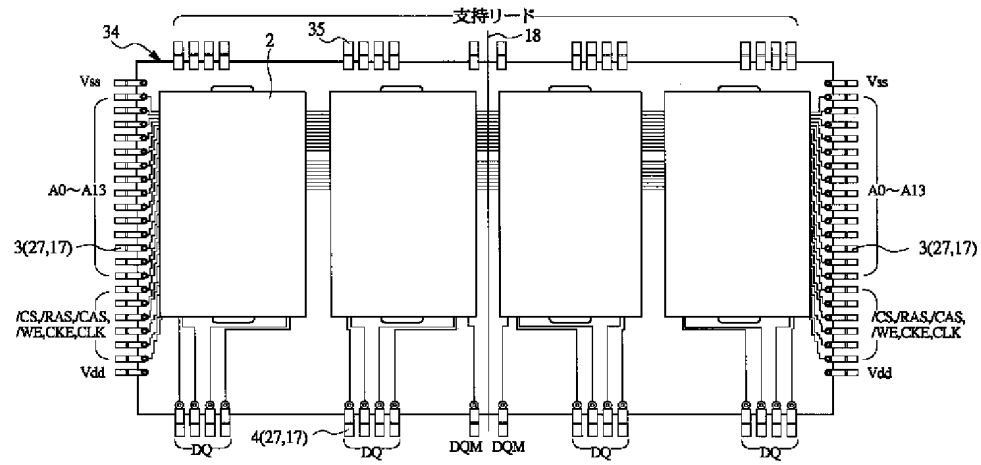
【図 10】

図 10



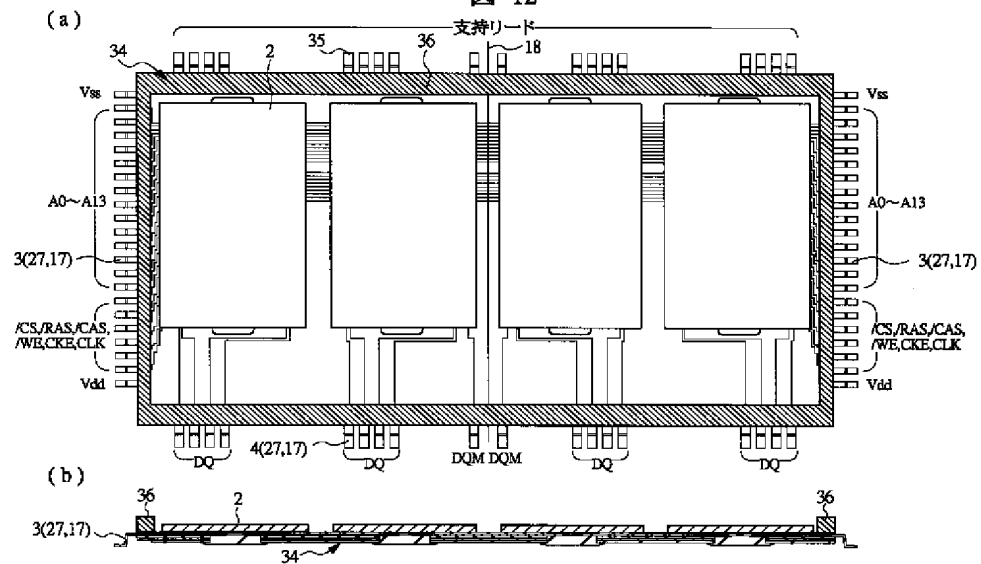
【図 11】

図 11

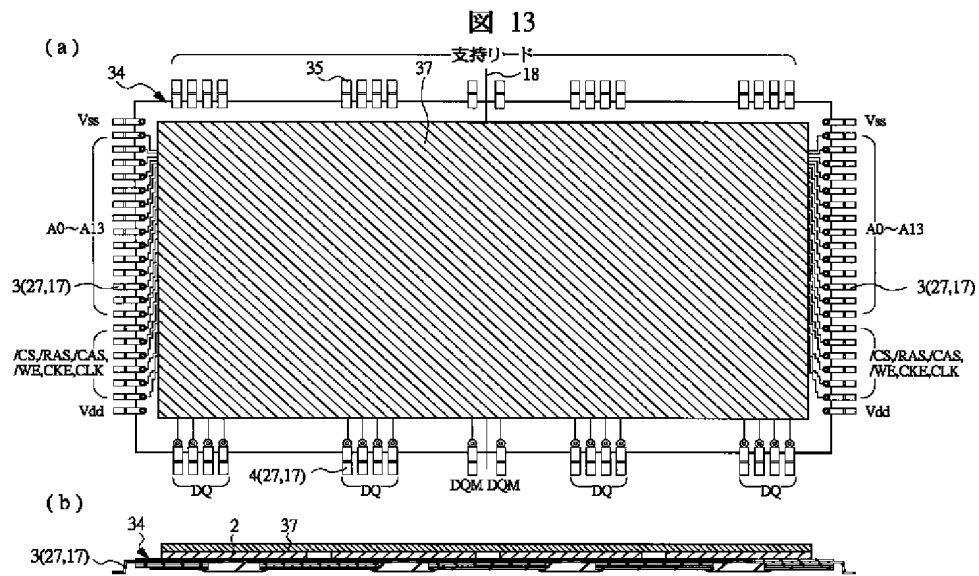


【図 12】

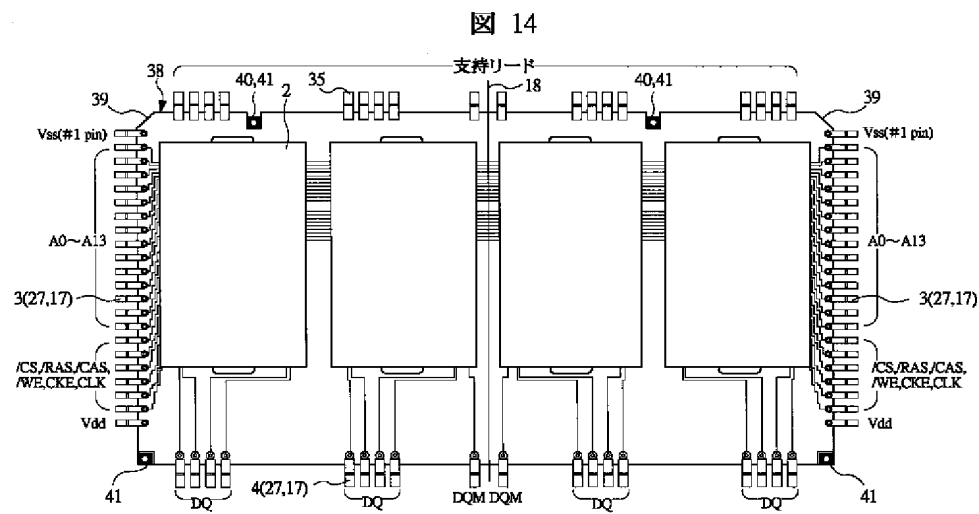
図 12



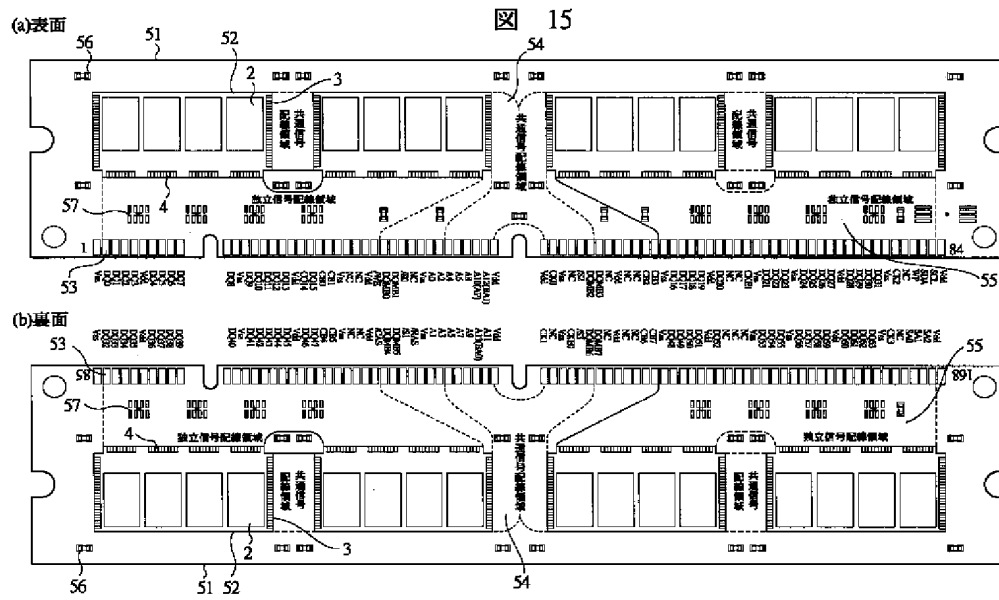
【図 13】



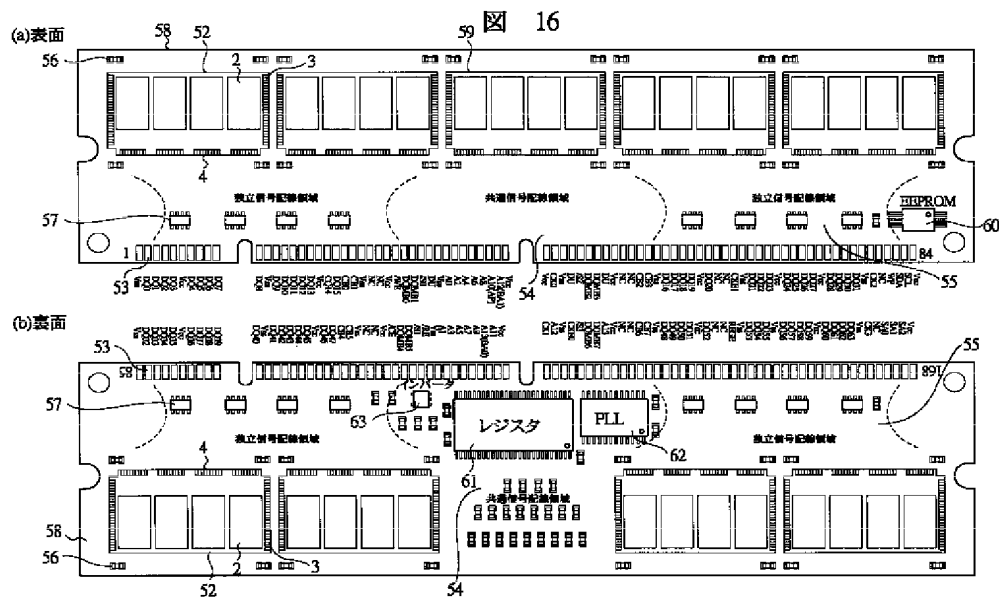
【図 14】



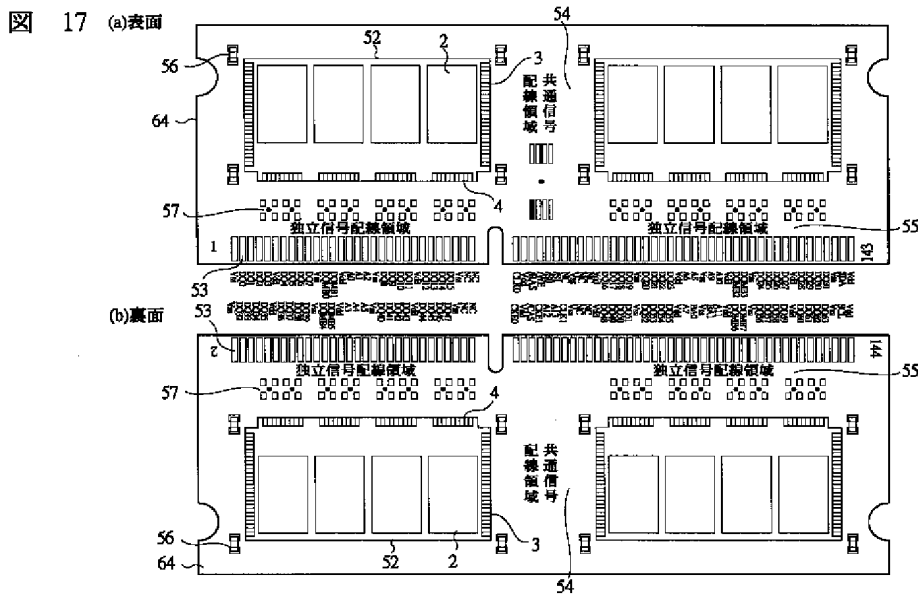
【図 15】



【図 16】

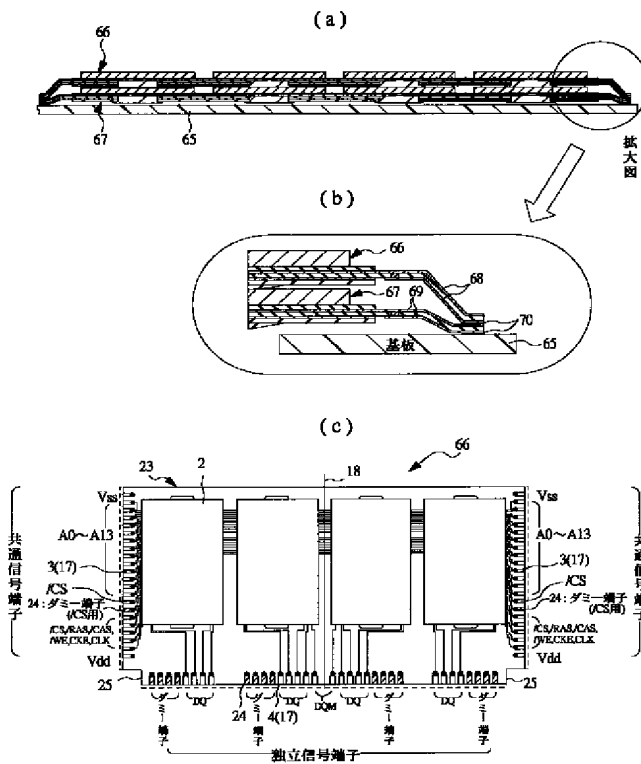


【図 17】



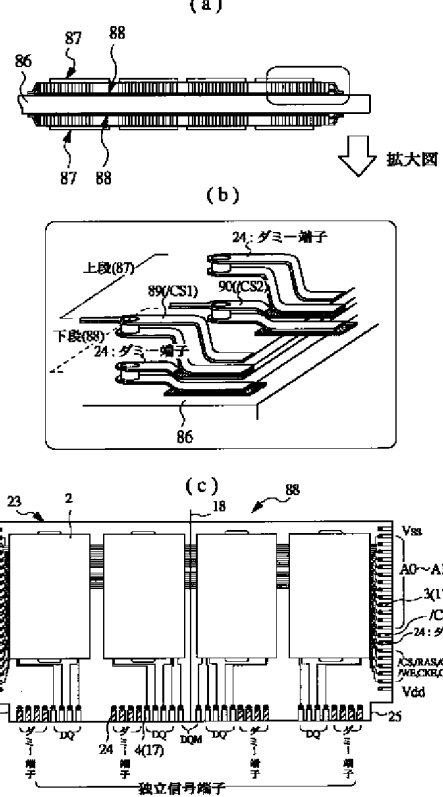
【図 18】

図 18



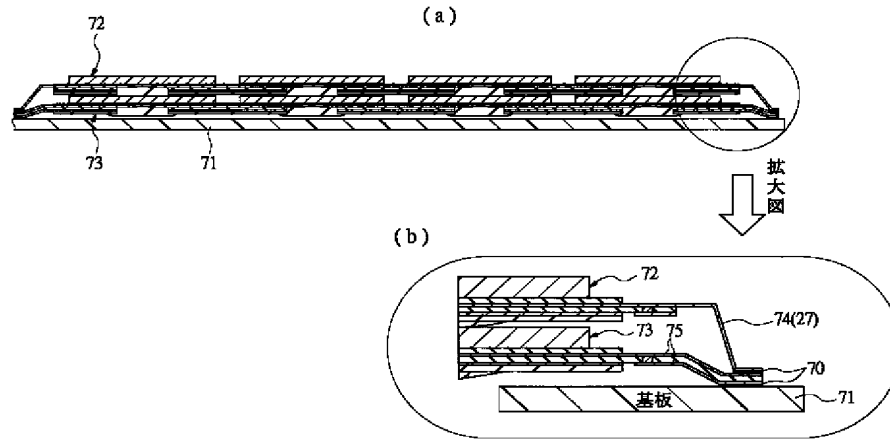
【図 22】

図 22



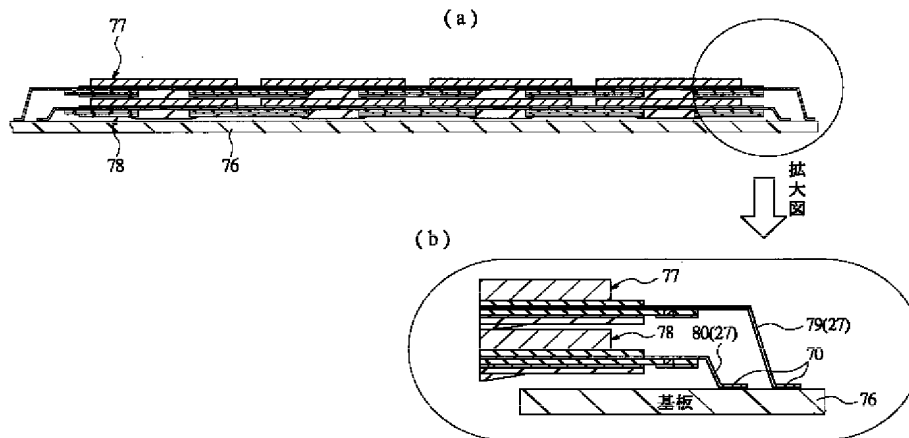
【図 19】

図 19



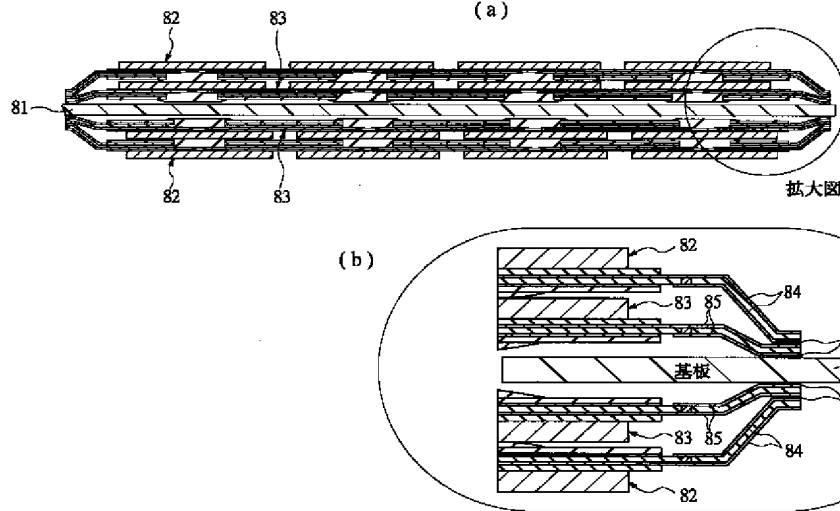
【図 20】

図 20



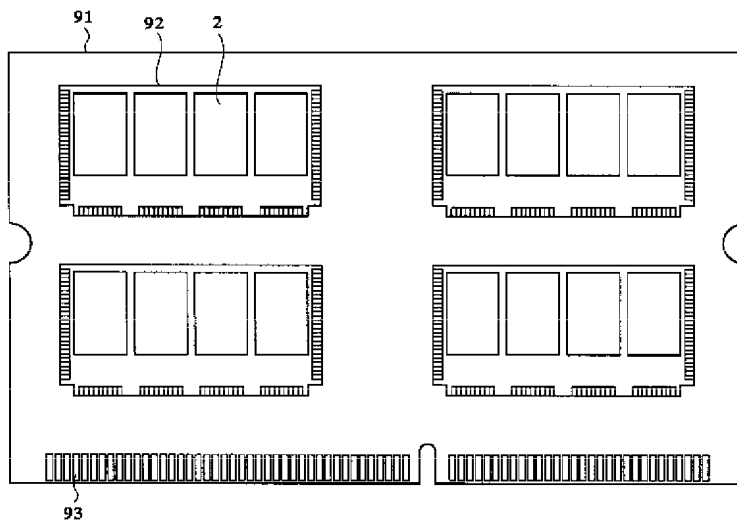
【図 21】

図 21



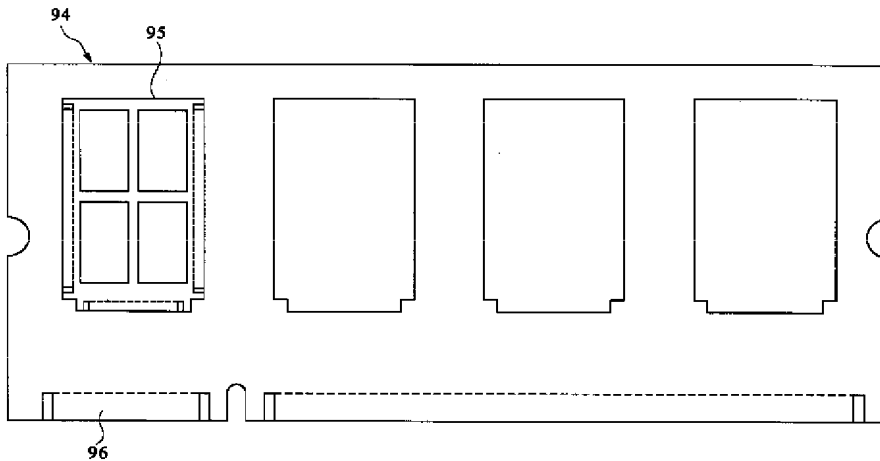
【図 23】

図 23



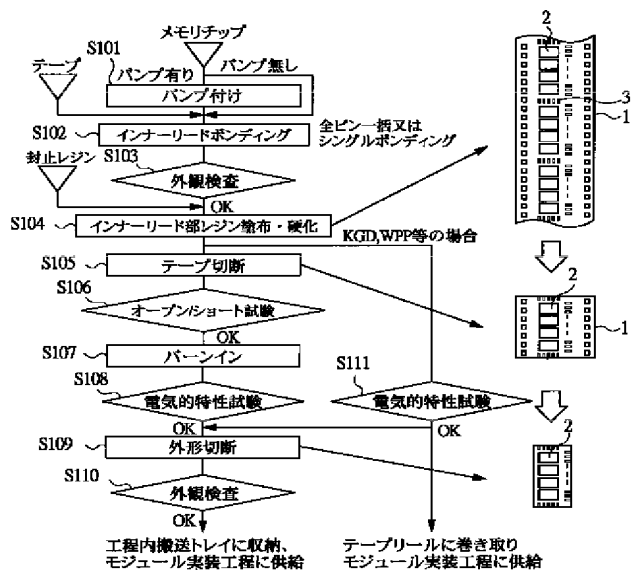
【図 24】

図 24



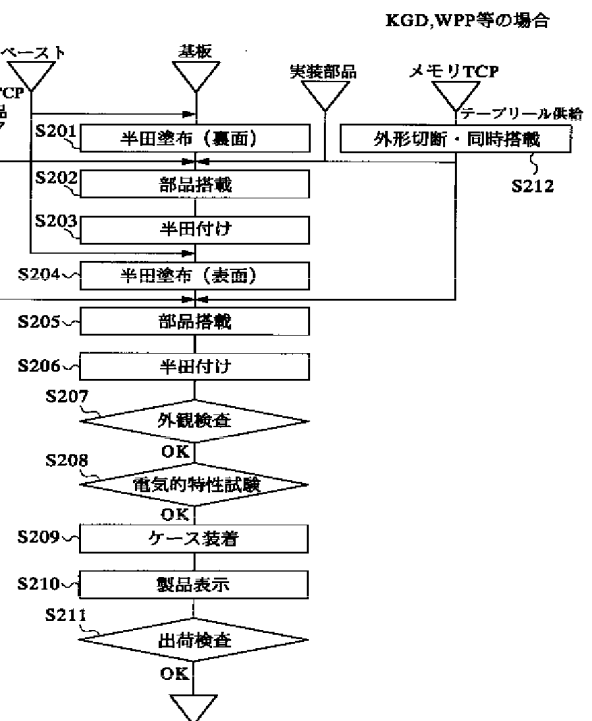
【図 25】

図 25



【図 26】

図 26



フロントページの続き

(72)発明者 管野 利夫
東京都小平市上水本町五丁目20番1号 株式会社日立製作所半導体グループ内

(72)発明者 津久井 誠一郎
群馬県高崎市西横手町1番地1 日立東部
セミコンダクタ株式会社内

(72)発明者 長岡 講二
群馬県高崎市西横手町1番地1 日立東部
セミコンダクタ株式会社内

(72)発明者 佐藤 朝彦
群馬県高崎市西横手町1番地1 日立東部
セミコンダクタ株式会社内